Curriculum del
Prof. Ing. *Gaetano Palumbo*

Ordinario del SSD IINF-01/A Elettronica

DIEEI
(Dipartimento di Ingegneria Elettrica Elettronica e Informatica)
Università di Catania,
Viale Andrea Doria, 6
Catania, 95124
Tel. 095.7382313; Fax: 095.330793
E_mail: gaetano.palumbo@ unict.it

INDICE

Note biografiche pag. 3

Attività didattica pag. 6

Attività istituzionale pag. 8
- Commisioni per concorsi di ruoli universitari pag. 9

Attività scientifica pag. 14
- Tematiche di ricerca pag. 14
- Sintesi della produzione scientifica pag. 15
- Premi e riconoscimenti pag. 16
- Attività editoriale e comitati scientifici pag. 16
- Convenzioni, progetti di ricerca e collaborazioni pag. 19
- Valutazione di progetti industriali pag. 20
- Attività di trasferimento tecnologico pag. 21
- Linee guida dei lavori scientifici pag. 22

Elenco dei lavori per tipo di pubblicazione pag. 24
- Libri e capitoli di libri pag. 24
- Pubblicazioni su riviste internazionali pag. 24
- Pubblicazioni su atti di congresso internazionale pag. 41
- Brevetti pag. 57
- Pubblicazioni su riviste nazionali pag. 57
- Dispense pag. 58
- Recensione libri pag. 58
- Resoconti e relazioni a riunioni di gruppi nazionali pag. 59

Note biografiche

Gaetano Palumbo è nato a Catania l'11 Settembre 1964, Secondo la banca dati SCOPUS al momento ha **h-index** pari a **47** e i suoi lavori anno ricevuto oltre **8300** citazioni. Dal 2017 è nella classifica del top 2% elaborata da Stanford (inizialmente nella classifica per carriera e dal 2019 anche nella classifica per anno.

Di seguito sono riportati cronologicamente ed in modo sintetico i punti salienti della sua carriera.

Dal **2026** fa parte del **consiglio di amministrazione** del consorzio **CHIP4POWER** costituito per la realizzazione della linea pilota (Pilot Line) integrata della Chips JU incentrata sullo sviluppo delle tecnologie dei semiconduttori wide-bandgap (WBG) per l'elettronica di potenza e a radiofrequenza.

Dal **2022** è **Editor in Chief** della rivista (open access) *Chips* (il primo dalla istituzione della rivista), che dal 2025 e indicizzata su SCOPUS e dal 2026 su WoS.

Dal **2019** fa parte dell' **Editorial Board** della rivista (open access) *Electronics*.

Dal **2018** al **2021** è stato il **Vicepresidente** *SIE* (*Società Italiana di Elettronica*).

Dal **2018** al **2020** è stato il **Delegato per la ricerca** del DIEEI.

Nel **2016** è stato **Presidente della commissione** della CASS per la nomina a *IEEE Fellow*.

Nel **2015-2016** ha fatto parte del **GEV** (Gruppi di Esperti della Valutazione) **area 9** - Ingegneria industriale e dell'informazione dell'ANVUR per la **VQR** (Valutazione della Qualità della Ricerca) **2011-2014**.

Dal **2014** al **2021** ha fatto parte del **Consiglio Direttivo** dell'associazione *GE* (*Gruppo Italiano di Elettronica*) oggi *SIE* (*Società Italiana di Elettronica*). In particolare, è stato eletto per il triennio 2014-2017 e rieletto per il triennio 2018-2021 in cui è stato il **Vicepresidente**.

Nel **2011** e **2010** è stato **membro della commissione** della CASS per la nomina a *IEEE Fellow*.

Nel 2010 per il triennio **2011-2013** è stato eletto **membro** della **Board of Governors** della IEEE Circuits and Systems Society (società che conta circa diecimila soci).

E' uno dei **proponenti** e **socio** dello **Spin-off Universitario** *MicroSensor srl*, primo spin-off universitario della Sicilia e dal **2009** al **2014** è stato **presidente** del **CdA**. Quale proponete ha ricevuto il secondo premio della competizione Startcup Catania 2008.

Nel **2008** è stato **membro della commissione** per il premio internazionale *IEEE CASS Meritorious Service Award*.

Dal **2008** al **2011** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part I* (è stato nel comitato editorial relative al biennio 2008-2009 e è in quello del 2010-2011).

Nel biennio **2007-2008**, è stato il **presidente** della *Commissione Scientifica di ateneo* area 09 "Ingegneria industriale", in cui è stato rieletto per la seconda volta.

Dal **2007** è un **Fellow IEEE** con la motivazione: "*For contributions to analysis and design of high performance analog and digital circuits*".

Dal **2006** al **2012** è stato componente del **Nucleo di Valutazione** dell'Università degli studi di Catania.

Dal **2006** al **2007** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part II*, e per tale attività è stato riconosciuto quale uno **tra i 5 migliori** Associate Editors del comitato editoriale.

Nel **2005** è stato uno dei 12 **componenti** del **panel** per l'area **09** - *Ingegneria industriale e dell'informazione* del **CIVR** (Comitato di indirizzo per la Valutazione della Ricerca), che ha avuto il compito di valutare la ricerca scientifica italiana nel suddetto settore per il triennio 2001-2003.

Negli a.a. **2004-2005** e **2003-2004** è stato docente di "**Elettronica Digitale**" per il corsi di Laurea in Ingegneria Elettronica dell'Università di Catania.

Dal **2004** al **2005** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems -part I*, relativamente al tema: digital circuits and systems.

Nel **2003** ha ricevuto il premio **Darlington** (migliore lavoro che copre il gap tra teoria e pratica pubblicato su *IEEE Trans. on CAS Part I* o *Part II*, durante i due anni precedenti l'assegnazione del premio) per il lavoro "Charge Pump Circuits: Power Consumption Optimization", *IEEE Trans. on CAS part I*, Vol. 49, No. 11, Nov. 2002.

Da novembre **2000** ricopre il ruolo di **Professore Ordinario** nel Settore Scientifico Disciplinare IINF-01/A Elettronica (già ING-INF/01 Elettronica), Settore Concorsuale di riferimento 09/E3 Elettronica, all'Università di Catania. Sempre nello stesso anno è risultato primo fra gli idonei nella valutazione comparativa per un posto di *Professore ordinario* presso L'università degli studi di Cagliari.

Da **luglio 1999** sino a **dicembre 2001** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part I*, relativamente al tema: analog circuits and signal processing.

Nell'a.a. **1999-2000** ed nell' a.a. **1993-1994** è stato docente di "**Dispositivi elettronici**" per il corso di Diploma in Ingegneria Elettronica dell'Università di Catania.

Dall'a.a. **1998-1999** all'a.a. **2002-2003** è stato docente di "**Elettronica I**" per i corsi di Laurea in Ingegneria Informatica ed Elettrica dell'Università di Catania.

Dall'anno **1998** è un *IEEE Senior Member*.

Nell'anno **1998** ha vinto il concorso per **Professore associato** del raggruppamento *K01X – Elettronica* ed ha preso servizio nell'anno accademico 1998-1999 presso la Facoltà di Ingegneria dell'Università di Catania.

Dall'a.a. **1997-1998** all'a.a. **2003-2004** è stato docente di "**Elettronica dei sistemi digitali**" per i corsi di Laurea in Ingegneria Elettronica ed Informatica dell'Università di Catania.

Nell'anno **1993** ha vinto il concorso per un posto di **Ricercatore di Elettronica Applicata**.

Sempre nell'anno **1993** ha conseguito il titolo di *Dottore di Ricerca in Scienze Elettriche*.

Nell'anno **1990** ha vinto il concorso per l'ammissione al corso di Dottorato di Ricerca in Ingegneria Elettrotecnica Curriculum Elettronica di Potenza.

Dal dicembre **1988** al marzo **1989**, in qualità di vincitore di concorso, ha usufruito di una borsa di studio bandita dalla Sezione AEI di Catania.

Nel **1988** ha conseguito la laurea in Ingegneria Elettrotecnica con indirizzo Elettronico presso la Facoltà d'Ingegneria dell'Università di Catania, e quindi, sempre a Catania, ha conseguito pure l'abilitazione all'esercizio della professione.

Attività didattica

Dall'a.a. 2023-2024 all'a.a. 2025-2026 è stato docente di un modulo di *Elettronica analogica e digitale* nel TFA (tirocinio formativo attivo), classe A040 - Tecnologie Elettriche elettroniche.

Dall'a.a. **2020**-**2021** è docente di un modulo di "**Dispositivi elettronici**" (3 cr.), disciplina del corso di *Laurea* (1° livello) in *Ingegneria Elettronica* dell'Università di Catania.

Nell'a.a. 2014-2015 è stato docente del modulo *Elettronica Industriale* nel TFA (tirocinio formativo attivo), classe A034 - Elettronica.

Nell' a.a. 2014-2015 è stato responsabile dell' OF (obiettivo formativo) "Tecnologo esperto in circuiti, sistemi e reti per il fotovoltaico ad alta efficienza (OF2)" all'interno del progetto "*Energetic"*, finanziato nell'ambito del Distretto tecnologico Sicilia Micro e Nano Sistemi (codice progetto PON02_00355_3391233).

Nell'a.a. 2013-2014 è stato docente del modulo *Elettronica Industriale* nel PAS (percorsi abilitanti speciali), classe A034 - Elettronica.

Dall'a.a. **2010**-**2011** è docente di "**Elettronica digitale**" (9 cr.) (dal 2019/2020 denominata Digital Electronics e dal 2010/2011 con 10 cr.), disciplina del corso di *Laurea Magistrale* in *Ingegneria Elettronica* dell'Università di Catania.

Dall'a.a. **2005**-**2006** all' a.a. **2010**-**2011** è stato docente di di "**Sistemi VLSI**" (6 cr.), disciplina del corso di *Laurea Magistrale* in *Ingegneria Elettronica* dell'Università di Catania.

Dall'a.a. **2004**-**2005** all'a.a. **2009**-**2010** è stato docente di "**Circuiti digitali e laboratorio di microelettronica**" (6 cr. + 3 cr.) disciplina del corso di *Laurea Specialistica* in *Ingegneria Microelettronica* dell'Università di Catania.

Per gli a.a. **2003**-**2004** e **2004**-**2005** è stato docente di "**Elettronica digitale**" (6 cr.) per il corso di *Laurea di I livello* in *Ingegneria Elettronica* dell'Università di Catania, e Dall'a.a. **1997**-**1998** all'a.a. **2003**-**2004** è stato docente di "**Elettronica dei sistemi digitali**" per i corsi di Laurea in Ingegneria Elettronica ed Informatica dell'Università di Catania (vecchio ordinamento). Dall'a.a. **1998**-**1999** all'a.a. **2003**-**2004** è anche stato docente supplente del corso di "**Elettronica I**" per i corsi di Laurea in Ingegneria Informatica ed Elettrica dell'Università di Catania (vecchio ordinamento). Inoltre, nell'a.a. **1999**-**2000** e **1993**-**1994** e' stato docente di "**Dispositivi Elettronici**" per il corso di Diploma in Ingegneria Elettronica dell'Università' di Catania.

Dall'a.a. 2002-2003 all'a.a. 2008-2009 è stato docente presso la SISSIS (Scuola Interuniversitaria Siciliana di Specializzazione per l'insegnamento nella Scuola Secondaria). In particolare, dall' a.a. 2002-2003 all'a.a. 2007-2008 è stato docente di "*Dispositivi Elettronici*" e dall' a.a. 2003-2004 all'a.a. 2008-2009 è stato docente di "*Elettronica analogica e digitale*".

E' stato *coordinatore* e *docente* del modulo "CAD" del **Master di Microelettronica e Sistemistica**, svoltosi nel 1999, e del modulo "La progettazione dei sistemi VLSI e gli

strumenti software di supporto" del **Corso di formazione avanzata in Microelettronica e Sistemistica**, svoltosi nel 2000. Entrambe le iniziative nascono all'interno della Scuola Speciale di Catania.

E' stato responsabile della convezione didattica stipulata nel 2000 tra il DIEES (allora DEES) e la ST e, nell'ambito di tale convezione, ha svolto due corsi di formazione su **CMOS VLSI**.

Nell'anno 1996 è stato *progettista* e *coordinatore* del corso "**Tecnico CAD-CAE di Schede Elettroniche**" cofinanziato dal Fondo sociale Europeo e dal Fondo di Rotazione del Ministero del Lavoro

Dall'a.a. 1993-1994 all'a.a. 1997-1998 nell'ambito dei sui compiti istituzionali ha tenuto lezioni nei di corsi di Elettronica applicata, Elettronica dei Sistemi Digitali, Microelettronica ed Elettronica II ((Le lezioni hanno riguardato l'applicazione e la progettazione di circuiti operazionali, la progettazione di filtri integrati analogici e l'uso del simulatore circuitale Spice.)
Negli anni accademici: 1988-1992, ha svolto svariati seminari per gli allievi di ingegneria nei corsi di discipline elettroniche

Dall' a.a. 1998-1999 è un componente di **collegio dei docenti**

- da a.a. 98-99 a a.a. 99-00 *Dottorato in Ingegneria Elettrica*, Università di Catania;
- da a.a. 00-01 a a.a. 25-26 *Dottorato in Ingegneria Elettronica e Automatica*, presso Università di Catania;
- da a.a. 26-27 *Dottorato in Ingegneria Ingegneria elettronica, energetica e industriale*, Università di Catania;

E' stato **tutor** di undici dottori di ricerca e lo è attualmente di altri due tutti nel settore della microelettronica. Inoltre, è stato **relatore** di oltre 170 tesi di laurea.

Attività istituzionale

Dal **2026** fa parte del **consiglio di amministrazione** del consorzio **CHIP4POWER** costituito per la realizzazione della linea pilota (Pilot Line) integrata della Chips JU incentrata sullo sviluppo delle tecnologie dei semiconduttori wide-bandgap (WBG) per l'elettronica di potenza e a radiofrequenza.

Per il biennio **2024-2025** è stato **Presidente** della **commissione giudicatrice** per l'***abilitazione scientifica nazionale*** per professori di prima e seconda fascia, , area 09/E3 – ELETTRONICA, *in esecuzione di provvedimendi giurisdizionali.*

Dal **2020** al **2026** ha fatto parte della **commissione brevetti** dell'Università degli Studi di Catania.

Dal **2018** al **2020** è stato il **Delegato per la ricerca** del DIEEI.

Dal **2018** al **2021** è stato il **Vicepresidente** *SIE* (*Società Italiana di Elettronica*).

Dal **2016** al **2017** è stato il **Presidente** della **commissione paritetica** del DIEEI (Università di Catania).

Nel **2016** e **2017** è stato **Presidente** della **commissione di ateneo** per l'**assegnazione di assegni di ricerca**.

Nel **2015-2016** ha fatto parte del **GEV** (Gruppi di Esperti della Valutazione) **area 9** - Ingegneria industriale e dell'informazione dell'ANVUR per la **VQR** (Valutazione della Qualità della Ricerca) **2011-2014**.

Dal **2014** al **2021** ha fato parte del **Consiglio Direttivo** dell'associazione *Gruppo Italiano di Elettronica- GE* (oggi SIE). In particolare, è stato membro nel triennio 2014-2017 e rieletto per il triennio 2018-2021 è stao il **Vicepresidente**.

Dal **2013** al **2016** ha fatto parte della **giunta** del DIEEI Università di Catania.

Per il biennio **2012-2013** ha fatto parte della **commissione giudicatrice** per l'***abilitazione scientifica nazionale*** per professori di prima e seconda fascia, area 09/E3 - ELETTRONICA.

Nel **2011** e **2010** è stato **membro della commissione** della CASS per la nomina a *IEEE Fellow*.

Nel biennio **2007-2008**, è stato il **Presidente** della *Commissione Scientifica di ateneo* area 09 "Ingegneria industriale", in cui è stato rieletto per la seconda volta.

Dal **2006** al **2012** è stato uno dei sette componenti del **Nucleo di valutazione** dell'Università degli studi di Catania.

Per il biennio **2005-2006** è stato nominato (su designazione elettiva) **componente** della *Commissione Scientifica di ateneo* area 09 "Ingegneria industriale".

Nel **2005** è stato uno dei 12 **componenti** del **panel** per l'area **09** - *Ingegneria industriale e dell'informazione* del **CIVR** (Comitato di indirizzo per la Valutazione della Ricerca), che ha valutato la ricerca scientifica italiana nel suddetto settore per il triennio 2001-2003.

Dal **2000** al **2005** ha fatto parte della **giunta** del DEES (ora DIEES) Università di Catania.

Dall'a.a. **1999-2000** in qualità di **rappresentante** della Facoltà di Ingegneria è stato componente dell'*Osservatorio per i Rapporti con Organismi esterni* dell' Università di Catania.

Nell'a.a. **1999-2000** in qualità di **rappresentante** del DEES è stato componente della *Commissione didattica* della Facoltà di Ingegneria dell'Università di Catania.

Dal **1997** al **1999** in qualità di **rappresentante** del DEES è stato un componente della *Commissione organico* della Facoltà di Ingegneria dell'Università di Catania.

Commisioni per concorsi di ruoli universitari

A partire dal **2004** ha fatto parte di oltre **40 commissioni giudicatrici**, in 27 delle quali ha svolto la funzione di Presidente, riportate di seguito e tutte inerenti il settore Scientifico Disciplinare (SSD) IINF01/A – Elettronica (già SSD ING-INF/01 – Elettronica), tra cui 17 per Professore Ordinario, 13 per Professore Associato e 9 per RTDB (Ricercatore a tempo determinato tipo B, art. 24, comma 3, lettera b, Legge 240/2010):

- **2026** presidente, *professore di prima fascia* (art. 24, comma 4, Legge 240/2010), presso il Dipartimento di Dipartimento di Ingegneria Elettronica dell'Università degli Studi di Roma Tor Vergata, bandita con D.R. n. 4066 del 23/12/2025.

- **2026** presidente, RTDB, presso il Dipartimento di Ingegneria Elettrica e delle Tecnologie dell'Informazione (3_RTDB_2025_17). dell'Università di Napoli Fediroc II, bandita con D.R. n. 2026/461 del 06/02/2026.

- **2025** presidente, *professore di prima fascia* (art. 18, comma 4, Legge 240/2010), presso il Dipartimento di Ingegneria Informatica, Modellistica, Elettronica e Sistemistica dell'Università della Calabria, bandita con D.R. n. 1007 del 2025.

- **2024** presidente, RTDB, presso il Dipartimento di Ingegneria Industriale, Elettronica e Meccanica dell'Università di Roma III, bandita con D.R. n. n. 0059319 del 10/06/2024.

- **2024** presidente, *professore di prima fascia* (art. 18, comma 4, Legge 240/2010), presso il Dipartimento di Scienze Biomediche, Odontoiatriche e delle Immagini Morfologiche e Funzionali dell'Università di Messina, bandita con D.R. n. 70 del 2024.

- **2024** presidente, RTDA, presso il Dipartimento di Scienze Biomediche dell'Università di Sassari, bandita con D.R. n. 475 del 20 febbraio 2024.

- **2024** presidente, RTDA*,* presso il Dipartimento di Ingegneria dell'Energia elettrica e dell'Informazione "Guglielmo Marconi" dell'università di Bologna, bandita con D.R. n. 1406 del 27 febbraio gennaio 2024.

- **2024** componente, *professore di prima fascia* (art. 18, comma 4, Legge 240/2010), presso il Dipartimento di Ingegneria Elettrica Elettronica e Infromatica dell'Università di Catania, bandita con D.R. n. 63 del l0 gennaio 2024.

- **2023** presidente, RTDA*,* presso il Dipartimento di Elettronica e Telecomunicazioni del Politecnico di Torino, bandita con D.R.n. 61 del 27/01/2023

- **2021** presidente, *professore di seconda fascia* (dell'art. 24, comma 5, Legge n. 240/10), presso l'Università Politecnica delle Marche, bandita con D.R. n. 924 del 07/09/2021.

- **2021** presidente, due posti *professori di prima fascia* (un art. 24, comma 6, e un art. 18 comma 1 Legge 240/2010), presso il Dipartimento di Elettronica e Telecomunicazioni del Politecnico di Torino, bandita con D.R. n. 654 del 27/8/2021.

- **2021** presidente, un posto di RTDB, presso il Dipartimento di Ingegneria dell'Università degli studi di Palermo, bandita con D.R. n. 2110 del 03/05/2021.

- **2021** presidente, *professore di seconda fascia*, presso il Dipartimento di Ingegneria dell'Informazione dell'Università di Firenze, nominata con D.R. n. 601 del 2021.

- **2020** presidente, *professore di prima fascia* (art. 18, comma 4, Legge 240/2010), presso il Dipartimento di Ingegneria dell'Università di Napoli Federico II, bandita con D.R. n. 2505 del 27/07/2020.

- **2020** componente, *professore di prima fascia* (art. 24, comma 6, Legge 240/2010), presso il Dipartimento di Ingegneria Elettrica e delle Tecnologie dell'Informazione dell'Università di Roma Tre, bandita con D.R. n. 72868 del 28/05/2020.

- **2020** presidente, *professore di prima fascia* (art. 18, comma 1, Legge 240/2010), presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione dell'Università di Bologna, bandita con D.R. n. 422 del 09/04/2020.

- **2020** componente, *professore di prima fascia* (art. 24, comma 6, Legge 240/2010), presso il Dipartimento di Ingegneria dell'Informazione e Scienze Matematiche dell'Università di Siena, bandita con D.R. n. 62324 del 06/04/2020.

- **2020** componente, *professore di prima fascia* (art. 18, comma 1, Legge 240/2010), presso il Dipartimento di Ingegneria dell'Informazione, dell'Università di Firenze, bandita con D.R. n. 147 del 31/01/2020.

- **2020** presidente, RTDB, presso il Dipartimento di Ingegneria dell'Informazione, Elettronica e Telecomunicazioni dell'Università Roma La Sapienza, bandita con D.R. n. 2937/2019 del 03/10/2019.

- **2020** presidente, *professore di seconda fascia*, presso il Dipartimento di Chimica e Farmacia dell'Università degli Studi di Sassari, bandita con D.R. n. 425 del 10/02/2020.

- **2019** presidente, n.2 *professori di prima fascia* (art. 24, comma 1, Legge 240/2010), presso il Dipartimento di Elettronica e Telecomunicazioni del Politecnico di Torino, bandita con D.R. n. 544 del 3/6/ 2019.

- **2019** componente, RTDB, presso il Dipartimento di Ingegneria Elettrica e dell'Informazione del Politecnico di Bari, bandita con D.R. n. 363 del 10/5/2019.

- **2019** presidente, *professore di prima fascia* (art. 24, comma 1, Legge 240/2010), presso il Dipartimento di lngegneria navale, elettrica elettronica e delle telecomunicazioni, dell'Università di Genova, bandita con D.R. n. 2321 del 11/6/2019.

- **2019** presidente, RTDB, presso il Dipartimento di Ingegneria Elettrica ed Elettronica dell'Università di Cagliari, bandita con D.R. n. 198 del 14/02/2019.

- **2019** presidente, *professore di prima fascia* (art. 18, comma 1, Legge 240/2010), presso il Dipartimento di lngegneria dell'Università della Campania, bandita con D.R. n. 5 del 4/01/2019.

- **2019** presidente, RTDB, presso il Dipartimento di lngegneria dell'Università Roma III, bandita con D.R. n. 127 del 28/01/2019.

- **2018** presidente, *professore di seconda fascia* (art. 18, comma 1, Legge 240/2010), presso il Dipartimento di lngegneria informatica, modellistica, elettronica e sistemica dell'Università della Calabria, bandita con D.R. n. 600 del 19/4/2018.

- **2017** presidente, *professore di seconda fascia* (art. 18, comma 4, Legge 240/2010), presso il Dipartimento dell'energia elettrica e dell'informazione "Guglielmo Marconi" dell'Università degli Studi di Bologna, bandita con D.R. n. 137 07/02/2017.

- **2017** presidente, RTDB, presso il Dipartimento di Scienze Politiche, Scienze della Comunicazione e Ingegneria dell'Informazione dell'Università degli Studi di Cagliari bandita D.R. n. 18 del 10/01/2017.

- **2016** componente, *professore di prima fascia* (art. 18, comma 4, Legge 240/2010), presso il Dipartimento di Elettronica e Telecomunicazioni del Politecnico di Torino, bandita con D.R. n. 339 del 17/07/2015.

- **2016** presidente, RTDB, presso il Dipartimento di Ingegneria dell'Informazione e Scienze matematiche dell'Università di Siena, bandita con D.R. n.1237/2016.

- **2016** presidente, *professore di seconda fascia*, presso il Dipartimento di Ingegneria dell'Università di Perugia, bandita con D.R. n. 1037 del 5/07/2016.

- **2015** componente, *professore di seconda fascia* (art. 24, comma 6, Legge 240/2010), presso il Dipartimento di Ingegneria dell'Informazione Elettronica e Telecomunicazioni dell'Università di Roma La Sapienza, bandita con D.R. n. 2187 del 20/07/2015.

- **2015** presidente, *professore di seconda fascia* (art. 18, comma 4, Legge 240/2010), presso il Dipartimento di Energia, Ingegneria dell'Informazione e Modelli Matematici dell'Università di Palermo, bandita con D.R. n. 2237 del 25/07/2015.

- **2015** componente, *professore di seconda fascia* (art. 24, comma 6, Legge 240/2010), presso il Dipartimento di Ingegneria Elettrica e delle Tecnologie dell'Informazione dell'Università di Napoli Federico II, bandita con D.R. n. 1204 del 17/04/2015.

- **2015** componente, *professore di prima fascia* (art. 24, comma 6, Legge 240/2010), presso il Dipartimento di Elettronica, Informazione e Bioingegneria del Politecnico di Milano, bandita con D.R. n.718/2014 del 6/5/2014.

- **2014** componente, *professore di seconda fascia* (art. 18, comma 1, Legge 240/2010) presso il Dipartimento di lngegneria lndustriale e dell'informazione dell'Università degli Studi di Pavia, bandita con D.R. n.718/2014 del 6/5/2014.

- Nel **2010** componente, *professore associato*, presso la Facoltà di Ingegneria dell'Università degli Studi della Calabria, bandita il 18-07-2008.

- Nel **2008** e **2009** componente *per la conferma in ruolo di professore associato*, dei professori (associati non confermati: Rosselli e Goano.

- **2005** componente *valutazione comparativa*, *professore ordinario*, presso la Facoltà di Ingegneria dell'Università degli studi di Brescia, bandita il 03-05-2005.

- **2005** componente *per la nomina ad ordinario* dei professori straordinari: Caruso e Kovacs Vajna.

- **2004** componente *valutazione comparativa*, *professore associato*, presso la I Facoltà di Ingegneria del Politecnico di Torino, bandita il 29-12-2003.

E' stato anche in svariate **commissioni giudicatrici** per i concorsi di *ammissione al Dottorato di Ricerca* e di valutazione per il *conseguimento del titolo di Dottore di Ricerca*; in particolare:

- conseguimento del titolo di dottore di ricerca in *Micro and Nanoelectronics* XXXVII Ciclo (a.a. 2025-2026), Università di Pavia, (dottorato di interesse nazionale in micro e nano elettronica;
- conseguimento del titolo di dottore di ricerca in *Micro and Nanoelectronics* XXXVII Ciclo (a.a. 2024-2025), Università di Pavia, (dottorato di interesse nazionale in micro e nano elettronica;
- conseguimento del titolo di dottore di ricerca in *Electrical, Electronics and Communication Engineering* XXXVI Ciclo (a.a. 2023-2024), Politecnico di Torino;
- conseguimento del titolo di dottore di ricerca in *Ingegneria dell'Infromazione* – XXXV Ciclo (a.a. 2022-2023), Università di Pisa;
- ammissione al Dottorato di Ricerca in *Ingegneria dei sistemi, energetica, informatica e delle telcomunicazioni* – XXXVII Ciclo – borse PON dell'Innovazione e Green (a.a. 2021-2022), Università di Catania;
- ammissione al Dottorato di Ricerca in *Ingegneria dei sistemi, energetica, informatica e delle telcomunicazioni* – XXXV Ciclo (a.a. 2019-2020), Università di Catania;
- ammissione al Dottorato di Ricerca in *Information and Communication Technologies* – XXXV Ciclo (a.a. 2019-2020), Università di Palermo;
- conseguimento del titolo di dottore di ricerca in *Ingegneria dell'Informazione* – XXXI Ciclo (a.a. 2018-2019) dell'Università degli Studi Mediterranea di Reggio Calabria;
- conseguimento del titolo di dottore di ricerca in *Information and Communication Technologies* – XXXI Ciclo (a.a. 2018-2019), Università di Palermo;
- ammissione al Dottorato di Ricerca in *Information and Communication Technologies* – XXXII Ciclo (a.a. 2016-2017), Università di Palermo;
- conseguimento del titolo di dottore di ricerca in *Ingegneria Elettronica e Telerilevamento* – XXVIII Ciclo (a.a. 2014-2015), Università di Roma "La Sapienza";
- conseguimento del titolo di dottore di ricerca in *Ingegneria Elettronica e delle Telecomunicazioni* – XXV Ciclo (a.a. 2013-2014), Università di Palermo;

- conseguimento del titolo di dottore di ricerca in *Ingegneria Elettronica* – XXV Ciclo (a.a. 2012-2013), Università di Roma "La Sapienza" ;
- conseguimento del titolo di dottore di ricerca in *Ingegneria Elettronica* – XXII Ciclo (a.a. 2009-2010), Università di Reggio Calabria;
- ammissione al Dottorato di Ricerca in *Ingegneria Elettronica* – XXII Ciclo (a.a. 2006-2007), Università di Reggio Calabria;
- ammissione al Dottorato di Ricerca in *Ingegneria Elettronica* – XX Ciclo (a.a. 2004-2005), Università di Catania;
- conseguimento del titolo di dottore di ricerca in *Ingegneria dei sitemi elettronici* – XVI Ciclo (a.a. 2003-2004), Università di Firenze;
- ammissione al Dottorato di Ricerca in *Ingegneria Elettronica* – XVIII Ciclo (a.a. 2002-2003), Università di Reggio Calabria;
- conseguimento del titolo di dottore di ricerca in *Ingegneria dell'Informazione (sottosettore: Dispositivi elettronici, elettromagnetismo e telecomunicazioni)* – XV Ciclo (a.a. 2002-2003), Università di Napoli;
- ammissione al Dottorato di Ricerca in *Ingegneria Elettrica* – XVII Ciclo (a.a. 2001-2002), Università di Catania;
- ammissione al Dottorato di Ricerca in *Ingegneria Elettronica ed Automatica* – XVI Ciclo (a.a. 2000-2001), Università di Catania;
- conseguimento del titolo di dottore di ricerca in *Ingegneria Elettronica ed Automatica* – XII Ciclo (a.a. 2000-2001), Università di Catania;
- ammissione al Dottorato di Ricerca in *Ingegneria Elettronica ed Automatica* – XV Ciclo (a.a. 1999-2000), Università di Catania;
- conseguimento del titolo di dottore di ricerca in *Ingegneria Elettrotecnica* – XI Ciclo (a.a. 1999-2000), Università di Catania.

Attivita' scientifica

Tematiche di ricerca

Il settore peculiare di ricerca del sottoscritto è quello della **Microelettronica** e dell'**Elettronica circuitale**.

L'inizio dell'attività ha riguardato la sintesi circuitale con tecniche d'intelligenza artificiale. Successivamente, ha approfondito tematiche relative all'applicazione delle reti neuronali per circuiti di conversione. Quindi, il sottoscritto ha lavorato nell'ambito della progettazione e modellistica di circuiti integrati analogici, sia tempo-continui, che tempo-campionati. In particolare, nell'ambito dei circuiti analogici, l'attività di ricerca ha riguardato e riguarda:

- circuiti basati sull' approccio in corrente;
- pompe di carica;
- circuiti non lineari per la realizzazione di sistemi fuzzy;
- Filtri in tecnologia integrata;
- tecniche di compensazione in frequenza ottimizzate;
- analisi e sintesi di amplificatori e circuiti;
- circuiti a bassa tensione di alimentazione;
- riferimenti e regolatori di tensione;
- circuiti oscillatori;
- tecniche per l'analisi della distorsione armonica;
- circuiti di interfaccia e condizionamento per sensori a singolo fotone.

Da diverso tempo, i suoi interessi hanno riguardato anche i circuiti digitali ad elevate prestazioni ed i sistemi digitali. In particolare, in tale ambito l'attività di ricerca ha riguardato e riguarda:

- famiglie logiche in corrente sia bipolari (CML ed ECL) che MOS (SCL denominate anche MCML);
- circuiti adiabatici;
- implementazione di protocolli di comunicazione per ambienti industriali e domestici;
- generatori di numeri pseudorandomici;
- circuiti per memorie non volatili (sense amplifier, buffer, etc.);
- architetture e circuiti per la somma;
- modellazione di interconnessioni;
- impatto sui circuiti digitali della variazione nella tensione di alimentazione;
- impatto della tolleranza sulle prestazioni dei circuiti digitali CMOS;
- analisi e progettazione di circuiti sequenziali;
- strategie di progettazione e analisi dei circuiti digitali con tecnologie nanometriche.

Sintesi della produzione scientifica

E' autore di **6 libri**, cinque monografie scientifiche inerenti aspetti circuitali e della microelettronica con le case editrici *Kluwer Academic Publishers* e *Springer*, ed uno didattico (in italiano) riguardante la fisica dei dispositivi elettronici con la casa editrice *Franco Angeli* (libro di testo del corso di dispositivi elettronici in diverse sedi universitarie tra cui Catania e il Politecnico di Milano). Inoltre, è autore di diversi capitoli di libri.

Ha pubblicato oltre **470** lavori di circa **220** lavori su **riviste internazionali**, oltre **250** articoli su atti di **congressi internazionali**, 14 su riviste nazionali e una dispensa sui filtri tempo discreti, edita dalla casa editrice la Traccia.

E' autore di **6 brevetti**.

Infine ha anche recensito numerosi libri per riviste internazionali ed è stato anche autore di 7 resoconti alle riunioni nazionali del gruppo specialistico Elettronica.

Il suo **h-index** secondo SCOPUS è al momento pari a **47** e i suoi lavori hanno ricevuto oltre **8300** citazioni. I lavori scientifici su riviste internazionali sono distribuite come indicato in Tabella I. Dal 2017 è nella classifica del top 2% elaborata da Stanford (inizialmente nella classifica per carriera e dal 2019 anche nella classifica per anno.

Tabella I

Journal	N.
IEEE Trans. on Circuits and Systems (part I and part II)	84
IEEE Journal of Solid-State Circuits	5
IEEE Trans. on Power Electronics	2
IEEE Trans. on Instrumentations and Measurements	4
IEEE Trans. on CAD	1
IEEE Trans. on VLSI	13
IEEE Access (open source)	9
IEEE Trans. on Education	1
IEEE Trans. on Fuzzy Systems	1
IEEE Journal of Display Technology	1
IEEE Sensors Journal	1
IEEE Circuits and Systems Magazine	3
Electronics Letters	18
Intern. Journal of Circuit Theory and Applications	35
Proc. IEE part G (Circuits, Devices and Systems) now IET	10
Analog Integrated Circuits and Signal Processing	12
Microelectronica Journal	7
Integration – The VLSI Journal	3
Journal of Low Power Electronics and Appl. (JLPEA) (open source)	3
Electronics (open source)	8
Other	11

Premi e riconoscimenti

Quale proponete dello spin-off *MicroSens srl*, ha ricevuto il **secondo premio** della competizione *Startcup Catania* 2008.

Dal **2007** è un **Fellow IEEE** con la motivazione: "*For contributions to analysis and design of high performance analog and digital circuits*".

Nel **2007** è stato riconosciuto uno dei 5 **miglior Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part II*, del comitato editoriale del biennio 2006-2007.

Nel **2003** ha ricevuto il **premio Darlington** (migliore lavoro che copre il gap tra teoria e pratica pubblicato su *IEEE Trans. on CAS Part I* o *Part II*, durante i due anni precedenti l'assegnazione del premio) per il lavoro "Charge Pump Circuits: Power Consumption Optimization", *IEEE Trans. on CAS part I*, Vol. 49, No. 11, Nov. 2002.

Nel **1999**, al congresso, MIXDES'99 (Mixed Design of Integrated Circuits and systems) è stato premiato per il **miglior lavoro presentato**, dal titolo "Noise Performance Of Current-Feedback Operational Amplifiers" (fatto con S. Pennisi).

Nell'anno 1998 è stato nominato *IEEE Senior Member*.

Attività editoriale e comitati scientifici

Nel **2025** è stato **Guest Editor** della rivista *IEEE Transactions on Circuits and Systems - part II* per lo Special Issue on ISICAS 2025.

Nel **2025** è stato **membro** della sottocommissione per l'assegnazione del premio *IEEE CASS Mac Van Valkenburg***.**

.

Dal **2022** è **Editor in Chief** della rivista (open access) *Chips* (il primo dalla istituzione della rivista), che dal 2025 e indicizzata su SCOPUS e dal 2026 su WoS.

Nel **2022-2025** Special **Issue Editor** di " Ultra-Low-Voltage and Ultra-Low-Power Integrated Circuits and Systems Evolution", nella rivista (open access) *Electronics*.

Nel **2021-2024** Special **Issue Editor** di "Feature Papers in Circuit and Signal Processing", nella rivista (open access) *Electronics*.

Dal **2019** fa parte dell' **Editorial Board** della rivista (open access) *Electronics*.

Nel **2018** ha fatto parte del comitato organizzativo della conferenza *ISCAS 2018* come **Tutorial Co-Chairs**.

Nel **2017** è stato **General co-Chair** della conferenza internazionale *IEEE PRIME 2017*.

Nel **2016** è stato **presidente della commissione** della CASS per la nomina a *IEEE Fellow*.

Nel 2010 per il triennio **2011-2013** è stato l'unico europeo eletto **membro** della **Board of Governors** della IEEE Circuits and Systems Society.

Nel **2010** e nel **2011** è stato **membro della commissione** della CASS per la nomina a *IEEE Fellow*.

Nel **2008** è stato **membro della commissione** per il premio internazionale *IEEE CASS Meritorious Service Award*.

Dal **2008** a dicembre **2011** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part I* (è stato nel comitato editorial relative al biennio 2008-2009 ed ora è in quello del 2010-2011).

Da gennaio **2006** a dicembre **2007** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part II*, e per tale attività è stato riconosciuto quale uno **tra i 5 migliori** Associate Editors del comitato editoriale.

Da gennaio **2004** a dicembre **2005** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part I*, relativamente al tema: digital circuits and systems.

Dal **2003** fa parte della **VLSI systems and applications Technical Committe** della IEEE Circuits and Systems Society.

Dal **2002** fa parte della **Analog Signal Processing Technical Committe** della IEEE Circuits and Systems Society.

Da luglio **1999** a dicembre **2001** è stato **Associated Editor** della rivista *IEEE Transactions on Circuits and Systems - part I*, relativamente al tema: analog circuits and signal processing.

Dal 2002 ha fatto parte della *Review Committee* della conferenza *ISCAS*, in particolare per le tematiche: "*VLSI systems, architecture and applications*" e "*Analog Signal Processing*"

E' stato revisore di numerosi articoli (oltre 250) sottomessi alle seguenti riviste internazionali:

- *IEEE Trans. on Circuits and System part I;*
- *IEEE Trans. on Circuits and System part II;*
- *IEEE Journal of Solid State Circuits;*
- *IEEE Trans. On Electron Devices,*
- *Electronics Letters;*
- *IEE Proceedings – Circuits, Devices and Systems (now IET);*
- *Electronics*
- *Analog Integrated Circuits and Signal Processing;*
- *Microelectronics Journal;*
- *Journal of Circuits, Systems and Signal Processing;*
- *ETRI Journal.*

Ha fatto parte dei comitati tecnici:

- *Technical Program Committee* of *LASCAS 2027*, Panama City, Panama.
- *Technical Program Committee* of *ICECS 2026*, Thessalonik, Grecia
- *Technical Program Committee* of *LASCAS 2026*, Arequipa, Perú.
- *Technical Program Committee* of *PRIME 2026*, Berlin, Germania.
- *Technical Program Committee* of *PRIME 2025*, Taormina, Italia.
- *Award* e *Local Committee* of *DCIS 2024*, Catania .
- *Technical Program Committee* of *VLSI-SoC 2023*, Dubai, Emirati Arabi Uniti.
- *Technical Program Committee* of *ICECS 2019*, Genova, Italia
- *Technical Program Committee* of *PRIME 2019*, Lausanne, Svizzera.
- *Technical Program Committee* of *ICECS 2018*, Bordeus, Francia.
- *Program Committee* of *ECCTD 2015*, Trondheim, Norwey.
- *Technical Program Committee* of *PRIME 2013*, Villach, Austria.
- *Technical Program Committee* of *ECCTD 2013*, Dresden, Germany.
- *Technical Program Committee* of *ECCTD 2011*, Linköping, Sweden.
- *Technical Program Committee* of *WISES 10*, Crete, Greece.
- *Technical Program Committee* of *WISES 09*, Ancona, Italy.
- *Scientific Committee* of *ECCTD 2009*, Antalya, Turkey.
- *Scientific Committee* of *ECCTD 2007*, Seville, Spain.
- *Technical Committee* of *PRIME 2007* (IEEE Ph. D. Research in Microelectronics and Electronics), July 2007, Bordeaux, France.
- *Technical Committee* of *PRIME 2006* (IEEE Ph. D. Research in Microelectronics and Electronics), June 2006, Otranto, Italy.
- *Scientific Committee* of *ECCTD 2005*, Cork, Ireland.
- *Technical Committee* of *ACM'02* (Algerian Conference Microelectronics), October 2002, El Aurassi Algiers, Algeria.
- *Steering Committee* of *ELECO'2003* (International Conference of Electrical and Electronics Engineering), December 2003, Bursa, Turkey.

Inoltre, è stato revisore per diverse conferenze quali *ISCAS*, *ECCTD* e *ICECS* in cui è stato anche chairman numerose volte.

Convenzioni, progetti di ricerca e collaborazioni

Dal **2022-2023** e **2022-2026** è stato rispettivamente **responsabile scientifico** della tematica (uno dei sette pillar del progetto) "Smart Mobility" e **WP leader** nello Spoke 1 di "Smart Mobility" del progetto SAMOTHRACE (Sicilian Micro and Nano Technology Research and Innovation Center) finanziato dal PNNR (Piano Nazionale di Ripresa e Resilienza), codice progetto ECS00000022.

Dal **2012** al **2015** è stato **responsabile** della macro-tematica "Sistemi hardware ad alta efficienza energetica" (che include 3 O.R.) e del O.R. 3.2 "Convertitori DC/DC integrati ultra low power" nel progetto di ricerca PON: "*Energetic"*, finanziato nell'ambito del Distretto tecnologico Sicilia Micro e Nano Sistemi (codice progetto PON02_00355_3391233).

Dal **2011** a **2014** fruisce di un **grant** del valore di 10.000 €/anno parte di Micron Technology Foundation per il supporto all'attività di laboratorio e didattica.

Dal **2009** al **2012** è stato **responsabile scientifico** del progetto di ricerca: "*Sensoristica Innovativa basata su Microdispositivi Ottici"*, della Microsensor srl, il cui ammontare era pari a 770.000 € e cofinanziato per 550.000 € dal MIUR (ministero dell'Istruzione dell'Universita e della Ricerca), D.D. n. 1030/Ric del 13 ottobre 2008.

Dal **2005** al **2007** è stato **responsabile** scientifico di una **convezione** di durata **biennale**, stipulata con la ST-microelectronics, e specificatamente con il gruppo MPG, che aveva per oggetto: *Supporto per lo sviluppo e la caraterizzazione di memorie in tecnologie avanzate*.

Nel **2003** è stato **responsabile** scientifico di **due convenzioni** stipulata con la ST-microelectronics. In particolare, una con il gruppo MPG, avente per oggetto: *Supporto per lo sviluppo e la caraterizzazione di memorie in tecnologie avanzate*; l'altra con il gruppo DSG, avente per oggetto: *Sviluppo di circuiti digitali ed analogici con tecnologie ad elevate prestazioni sia bipolari (HSB4) che BiCMOS isolata dielettricamente (DIB).*

Nel **2000** è stato **responsabile** scientifico di una convenzione stipulata con la Tecnos Media Srl nell'ambito del progetto "*Sistemi wireless a IR*" N° 214. Tale attività di ricerca, iniziata dal gruppo universitario nel 1998, è finanziata con fondi *POP 1994-1999 (misura 3.3B).*

Sempre nel **2000** è stato **responsabile** scientifico di una convenzione della durata di un anno stipulata con il gruppo MPG ST-microelectronics, il cui oggetto e': *Supporto per lo sviluppo e la caratterizzazione di memorie non volatili in tecnologie avanzate.*

Ha partecipa ad una convenzione stipulata nel 1999 con il gruppo Soft Computing ST-microelectronics, mirata allo sviluppo di soluzioni innovative per l'implementazione di *circuiti neuronali cellulari.*

Oltre alle convenzioni suddette, ha avuto rapporti di collaborazione con altri gruppi presenti nella sede della ST-Microelectronics di Catania tra cui:

- gruppo industrial (divisione TPA)
- gruppo smart power (divisione DSG)
- gruppo di componenti standard (divisione DSG)

Ha partecipato a due progetti comunitari ESPRIT *I-SMILE* svolti nel 1992 e 1993, durante i quali, per il partner industriale rappresentato dalla Rodriguez Cantieri Navali, sono stati sviluppati due dimostratori integrati.

Inoltre, ha partecipato ai seguenti progetti nazionali:

-1990-1992 Progetto di ricerca scientifica 40% "*Architetture VLSI*", titolo della ricerca dell'unità "*Reti neurali*";

-1991-1992 Progetto Finalizzato Trasporti "*Promaetheus - Prochip*" titolo della ricerca dell'unita: "*Progettazione di dispositivi integrati per autronica con tecniche CAD*", durata progetto 2 anni;

-1993-1995 Progetto di ricerca scientifica 40% "*Architetture VLSI*" titolo della ricerca dell'unità "*Circuiti CMOS*";

-1994 Progetto di ricerca CNR "*Architetture e sistemi integrati per l'elaborazione di segnali audio e video*".

-1996 Progetto di ricerca scientifica 40% "*Sistemi microelettronici e microsensori*", titolo della ricerca dell'unità "*Microsensori per telecomunicazioni, Blocchi analogici CMOS*";

-1997 Progetto di ricerca scientifica 40% "*Sistemi microelettronici e microsistemi*", titolo della ricerca dell'unità "*Tecniche a basso consumo nei microsistemi per telecomunicazione, Circuiti analogici 1.5V*".

Ha collaborato con i seguenti laboratori

- Department of Electrical Engineering-Electrophysics, Souther California University, Los Angeles, USA (Prof. *J. Choma Jr.*);
- Electrical Department, Alberta University, Alberta, Canada (Prof. *I. Filanoski*);
- Department Enginyeria Electronica, Universitat Autonoma de Barcelona, Bellaterra, Spagna (Prof.ssa *N. Barniol*);
- Departamento de Ingeniería Electrónica, Univerity of Sevilla, Spagna (prof. R. Gonzalez Carvajal).

Valutazione di progetti industriali

Nel **2025** è stato Componente esperto - esterno per valutazione del progetto civile"HISENSE SISTEMA INTEGRATO PER NAVIGAZIONE AVANZATA IN AMBIENTI SAFETY CRITICAL" Codice 2019-N-0940-C – Società CIVITANAVI SYSTEM S.r.l. - con sede in Pedaso - Fermom ammontare pari a euro 2.345.351, finanziato dal Ministero delle Imprese e del Made in Italy (Div. XI Economia e Industria dello Spazio, Industria Aeronautica e della Difesa), Decreto di concessione del 22.12.2022 (SIRGS N. 5100) relativo al Bando 28.05.2019.

Nel **2024** è stato Componente esperto - esterno per valutazione del progetto civile "FNH (FILTRO NOTCH HOPPING) Codice 2019-N-0980-C, della Società MT S.r.l, annualità di progetto 2021-2024, ammontare pari a euro 3.039.080, finanziato dal Ministero delle Imprese e del Made in Italy (Div. XI Economia e Industria dello Spazio, Industria Aeronautica e della Difesa), Decreto di concessione del 21.12.2022 (SIRGS N. 5109) relativo al Bando 25.06.2019

Attività di trasferimento tecnologico

Dal **2020** fa parte della **commissione brevetti** dell'Università degli Studi di Catania.

Nel **2008** è stato uno dei **proponenti** dello **Spin-off Universitario** *MicroSensor srl*, primo spin-off universitario della Sicilia (che vede la partecipazione dell'Università di Catania) e dalla costituzione, nel gennaio 2009, ne è uno dei soci.

Lo Spin-off è stato costituito grazie ad un progetto di ricerca finanziato tramite l' art.11 della legge 297, dal titolo: "*Sensoristica Innovativa basata su Microdispositivi Ottici" SIMO*, il cui ammontare era pari a 770.000 € e cofinanziato per 550.000 € dal MIUR (ministero dell'Istruzione dell'Universita e della Ricerca), D.D. n. 1030/Ric del 13 ottobre 2008.

Oltre ad esserne un socio, da settembre **2009** al **2013** è stao anche **presidente** del **CdA** dello Spin-off Microsensor. Tale Spin-off, che ha ricevuto il secondo premio della competizione Startcup Catania 2008, oltre a trattare le tematiche inerenti il progetto di ricerca, in cui sono stati sviluppati rivelatori di radiazioni e di perdita di fascio innovativi ed un telemetro laser di prestazioni molto spinte, sviluppa prodotti biomedicali wirless idonei alla telemedicina e teleassistenza, ed ha anche lavorato nel settore dell'efficientamento energetico.

E' autore di **6 brevetti** negli Stati Uniti (uno di questi precedentemente acquisito in Europa) riguardati soluzioni topologiche per la realizzazione di circuiti integrati.

Linee guida dei lavori scientifici

L'intera attività scientifica può essere inquadrata nelle seguiti tematiche:

- Sintesi di circuiti con tecniche di intelligenza artificiale ([C1-C4], [I1-I2], [I4-I5])

- Reti neuronali e circuiti fuzzy ([R1], [R41], [R52], [R61], [R64], [C5-C8], [C32], [C60], [C64], [C70], [C73], [C91], [C126], [C130], [C133], [I6])

- Circuiti integrati di potenza e per applicazioni Smart Power ed Industrial
  Pompe di carica e booster di tensione ([B6], [R2-R3], [R10-R11], [R20-R21], [R42], [R71], [R97], [R101], [R140], [R180]-[R181], [R183], [R185], [R187], [R189]-[R193], [R199], [R204], [R210], [R212], [R214], [R216]-[R217], [R222], [R224] [C9-C10], [C12], [C16], [C20], [C28], [C80], [C105], [C241], [C243]-[C244],[C247]-[C252], [C259])
  Blocchi fondamentali ([R18], [C13], [C22], [C65])
  Sistemi DC-DC integrati([C255])

- Circuiti tempo campionati ([R5], [R7], [C14], [C18], [I7], [D1])

- Approccio in corrente ([B1])
  Trigger di Schmitt in corrente ([R13], [R28], [C11], [C15])
  Specchi di corrente ([R4], [R6], [R19], [C17], [C21], [C42], [I9])
  Comparatori di corrente ([R8-R9], [R12], [R22], [C19], [C23], [C27], [C100])
  Current Conveyor ([R17], [R32], [R55], [R207], [R221], [R228], [C24-C25], [C29], [C54], [C68], [C74], [C108], [C254], [C260], [C262], [I8])
  Amplificatori di corrente ([R15], [R25-R26], [R38], [R51], [R163], [C31], [C34], [C36], [C45], [C48], [C66-C67], [C224])
  Current Feedback Amplifier ([R36], [R44], [R56], [R85], [R89], [R92], [C40-C41], [C57-C59], [C99], [C116])

- Amplificatori
  Analisi e sintesi di amplificatori ([B2-B3], [R29-R31], [R34], [R42], [R46], [R57], [R59], [R81], [R115], [R116], [R129], [R141]-[R143], [R149], [R152], [R161], [R173], [R179], [R184], [R195], [R201], [R205]-[R206], [R209], [C33], [C38-C39], [C43], [C53], [C56], [C94], [C96], [C98], [C136], [C163], [C168], [C170], [C192], [C198], [C205]-[C206], [C210], [C214] , [C231], [C236]-[C237], [C241], [C246])
  Tecniche di compensazione ([R14], [R23], [R37], [R63], [R79], [R108], [R117], [R119], [R122], [R126], [R131], [R133], [R139], [R147]-[R148], [R159], [R168]-[R174], [R176], [R178], [R195], [R197], [R208], [C26], [C30], [C50], [C69], [C78], [C119], [C155], [C160], [C171], [C178], [C194], [C199], [C204], [C221], [C225], [C230], [C234], [C235])
  Analisi della distorsione ([R27], [R76], [R83], [R95], [R99], [R102], [R104], [R121], [R128], [R132], [R136], [C88], [C93], [C117], [C122], [C123], [C127], [C139], [C144], [C158], [C161], [C164], [C176]-[C177], [C189], [C197])

- Circuiti a bassa tensione di alimentazione ([R16], [R24], [R33], [R35], [R38], [R45], [R47], [R49], [R70], [R73], [R77], [R84], [R91], [R93], [R134], [R138], [R147], [R167], [R180], [R182], [R201], [R205], [R209], [R219]-[R220], [R223], [R225], [C37], [C44], [C47], [C49], [C52], [C107], [C113]-[C114], [C118], [C119], [C128], [C165], [C175], [C184], [C231], [C251], [C256]-[C258], [])

- Circuiti e modelli per rivelatori di singolo fotone ([R107], [R124]-[R125], [R157], [R164], [R203], [C143], [C145], [C150], [C213], [C220], [C223], [C226], [C228], [C233])

- Altro inerente i circuiti analogici ([R54], [R68], [R75], [R94], [R105], [R110], [R127], [R177], [R227], [C35], [C76], [C97], [C134], [C140], [C142], [I10])

- Famiglie logiche in corrente

  CML ed ECL ([B4], [R39-R40], [R48], [R53], [R60], [R82], [R86], [R96], [R98], [R100], [C46], [C51], [C55], [C71], [C81], [C101], [C106], [C126], [C137], [C141], [C159], [I12])

  ESCL (o MCML) ([B4], [R53], [R62], [R80], [R90], [R109], [R111], [R123], [R175], [R186], [R188], [R194], [R196], [R200], [R202], [R218], [C87], [C89], [C92], [C110], [C116], [C138], [C156], [C169], [C183], [C238], [C242], [C245])

- Circuiti logici adiabatici ([R50], [R58], [R65], [C62], [C72], [C77], [I11])

- Architetture e circuiti per la somma ([R72], [R74], [R112]-[R113], [R119], [R151], [R211] [R215], [C63], [C86], [C125], [C129], [C154], [C166], [C172], [C174], [C181])

- Memorie nonvolatili ([R67], [C83], [C84], [C85], [C104], [C132], [C162], [I14])

- Generatori di numeri pseudorandomici ([R66], [R106], [R213] [C102], [C121], [C124])

- Modellazione di interconnessioni ([R78], [R87], [R103], [R114], [R135], [R137], [C103], [C111], [C131], [C146], [C167], [C179]-[C180], [C182], [C185], [C188])

- Circuiti sequenziali ([B8],[R145]-[R146], [R153]-[R154], [R156], [R162], [R165]-[R166], [C187], [C195], [C201]-[C203], [C207]-[C209], [C211]-[C212], [C217], [C222], [C227], [C229], [C232])

- Altro inerente i circuiti digitali ([R69], [R118], [R130], [R144], [R150], [R155], [R158], [R160], [R226], [C61], [C75], [C82], [C90], [C95], [C109], [C157], [C173], [C186], [C190]-[C191], [C194], [C196], [C200], [C215]-[C216], [C218]-[C219], [C261], [I13])

Elenco dei lavori per tipo di pubblicazione

Libri e capitoli di libri

[B1] **G. Palmisano**, **G. Palumbo, S. Pennisi**, *CMOS Current Amplifiers*, Kluwer Academic Publisher, febbraio 1999.

[B2] **G. Palumbo**, **S. Pennisi**, "SIGNAL AMPLIFIERS," *Enciclopedya of Electrical and Electronics Engineering*, Wiley, pag. 255-269, marzo 1999.

[B3] **G. Palumbo**, **S. Pennisi**, *Feedback Amplifiers: Theory and Design*, Kluwer Academic Publisher, gennaio 2002.

[B4] **M. Alioto**, **G. Palumbo**, *Model and Design of Bipolar and MOS Current-Mode Logic (CML, ECL and SCL Digital Circuits)*, Kluwer Academic Publisher, gennaio 2005.

[B5] **G. Giustolisi**, **G. Palumbo**, *Introduzione ai Dispositivi Elettronici*, Franco Angeli, ottobre 2005.

[B6] **G. Palumbo**, **D. Pappalardo**, "CHARGE PUMPS FOR LCD DRIVERS " in D. Cristaldi, S. Pennisi, F. Pulvirenti, *Liquid Crystal Display Drivers (techniques and circuits)*, Springer, pag. 237-266, maggio 2009.

[B7] **M. Alioto, E. Consoli, G. Palumbo**, "DESIGN IN THE ENERGY-DELAY SPACE" in K. Iniewsky (Ed.), *Advanced Circuits for Emerging Technologies*, Wiley, pag 3-39, giugno 2012.

[B8] **M. Alioto, E. Consoli, G. Palumbo**, *Flip-Flop Design in Nanometer CMOS (High Speed to Low Energy)*, Springer, dicembre 2014.

[B9] **G. Palumbo**, "ACTIVE FILTERS" in F. Maloberti & A. Davies (Eds.), *A Short History of Circuits and Systems*, IEEE Press, pag. 93-96, maggio 2016.

[B10] **A. Ballo, A. D. Grasso, G. Palumbo**, *High-Performance Integrated Charge Pumps (Design and Novel Solutions)*, Springer, 2024.

Pubblicazioni su riviste internazionali

[R1] **G. Di Cataldo**, **G. Palumbo**, "A THEORETICAL APPROACH TO THE DESIGN OF A/D CONVERTER BY MEANS OF SCHMITT TRIGGERS", *IEEE Trans. on CAS part II*, vol. 39, n. 2, pag. 126-129, febbr. 1992.

[R2] **G. Di Cataldo**, **G. Palumbo**, "DOUBLE AND TRIPLE CHARGE PUMP FOR POWER IC: IDEAL DYNAMICAL MODELS TO AN OPTIMISED DESIGN", *Proc. IEE part G (Circuits, Devices and Systems)*, vol. 140, n. 2, pag. 33-37, febbr. 1993.

[R3] **G. Di Cataldo**, **G. Palumbo**, "DOUBLE AND TRIPLE CHARGE PUMP FOR POWER IC: DYNAMIC MODELS WHICH TAKE PARASITIC EFFECTS INTO ACCOUNT", *IEEE Trans. on CAS part I*, vol. 40, n. 2, pag. 92-101, febbraio 1993.

[R4] **G. Palumbo**, "OPTIMISED DESIGN OF THE WILSON AND IMPROVED WILSON CMOS CURRENT MIRROR", *Electronics Letters*, vol. 29, n. 9, pag. 818-819, aprile 1993.

[R5] **G. Di Cataldo**, **G. Palmisano**, **G. Palumbo**, "GAIN-COMPENSATED SAMPLE-AND-HOLD CIRCUIT FOR HIGH FREQUENCY APPLICATION", *Electronics Letters*, vol. 29, n.15, pag. 1347-1348, luglio 1993.

[R6] **G. Di Cataldo**, **G. Palumbo**, **S. Stivala**, "NEW CMOS CURRENT MIRRORS WITH IMPROVED HIGH-FREQUENCY RESPONSE", *International Journal of Circuit Theory and Applications*, vol. 21, pag. 443-450, ottobre 1993.

[R7] **G. Palmisano**, **G. Palumbo**, **V. Diaz**, "A HIGH-FREQUENCY DIFFERENTIAL SC INTEGRATOR WITH HIGHLY ACCURATE GAIN COMPENSATION", *International Journal of Circuit Theory and Applications*, vol. 22, no. 1, pag. 71-75, febbraio 1994.

[R8] **G. Palumbo**, "CMOS CURRENT COMPARATOR: SIMPLIFIED ANALYSIS OF THE DELAY-TIME", *International Journal of Circuit Theory and Applications*, vol. 22, no. 2, pag. 157-162, aprile 1994.

[R9] **G. Palmisano, G. Palumbo**, "OFFSET COMPENSATION TECHNIQUE FOR CMOS CURRENT COMPARATORS", *Electronics Letters*, vol. 30, n. 11, pag. 852-854, maggio 1994.

[R10] **G. Di Cataldo**, **G. Palumbo**, "IMPROVED DYNAMIC MODEL OF DOUBLE AND TRIPLE CHARGE PUMP TO TAKE CURRENT LEAKAGE INTO ACCOUNT", *International Journal of Circuit Theory and Applications*, vol. 22, no. 5, pag. 419-423, settembre 1994.

[R11] **G. Di Cataldo**, **G. Palumbo**, "DOUBLE AND TRIPLE CHARGE PUMP WITH MOS DIODES: DYNAMIC MODELS TO AN OPTIMIZED DESIGN", *International Journal of Circuit Theory and Applications*, vol. 22, no. 5, pag. 377-386, settembre 1994.

[R12] **G. Palmisano**, **G. Palumbo**, "OFFSET-COMPENSATED LOW POWER CURRENT COMPARATOR", *Electronics Letters*, vol. 30, n. 20, pag. 1637-1640, settembre 1994.

[R13] **G. Di Cataldo**, **G. Palumbo**, **S. Pennisi**, "A SCHMITT TRIGGER BY MEANS OF CCII+", *International Journal of Circuit Theory and Applications*, vol. 23, no.2, pag. 161-165, marzo 1995.

[R14] **G. Palmisano**, **G. Palumbo**, "AN OPTIMIZED COMPENSATION STRATEGY FOR TWO-STAGE CMOS OPAMP", *IEEE Trans. on CAS part I*, vol. 42, n. 3, pag.178-182, marzo 1995.

[R15] **G. Palmisano**, **G. Palumbo**, **S. Pennisi**, "A HIGH LINEARITY CMOS CURRENT OUTPUT STAGE", *Electronics Letters*, vol. 31, n. 10, pag. 789-790, maggio 1995.

[R16] **G. Palmisano**, **G. Palumbo**, "VERY EFFICIENT CMOS LOW VOLTAGE OUTPUT STAGE", *Electronics Letters*, vol. 31, n. 21, pag. 1830-1831, ottobre 1995.

[R17] **G. Palmisano**, **G. Palumbo**, "A SIMPLE CMOS CCII+", *International Journal of Circuit Theory and Applications*, vol. 23, no. 6, pag. 599-603, novembre 1995.

[R18] **G. Cali**, **G. Palmisano**, **G. Palumbo**, **N. Aiello**, "AN AREA EFFICIENT CURRENT LIMITER FOR AUTOMOTIVE IC: ANALYSIS AND DESIGN", *Journal on Circuits, Systems and Computers*, vol. 5, no. 3, pag. 443-453, 1995.

[R19] **G. Palumbo**, "FREQUENCY BEHAVIOUR OF THE WILSON AND IMPROVED WILSON MOS CURRENT MIRROR: ANALYSIS AND DESIGN STRATEGIES", *Microelectronics Journal*, vol. 27, no. 1, pag. 79-85, febbraio 1996.

[R20] **G. Di Cataldo**, **G. Palumbo**, "DESIGN OF AN N-TH ORDER DICKSON VOLTAGE MULTIPLIER", *IEEE Trans. on CAS part I*, vol. 43, n. 5, pag. 414-418, maggio 1996.

[R21] **G. Di Cataldo**, **G. Palumbo**, "AREA-EFFICIENT DESIGN OF 3 AND 4 STAGE DICKSON VOLTAGE MULTIPLIERS FOR POWER IC", *International Journal of Circuit Theory and0 Applications*, vol. 24, no. 5, pag. 541-550, settembre 1996.

[R22] **G. Palmisano**, **G. Palumbo**, "HIGH PERFORMANCE CMOS CURRENT COMPARATOR DESIGN", *IEEE Trans. on CAS part II*, vol.43, no.12, pag. 785-790, dicembre 1996.

[R23] **G. Palmisano**, **G. Palumbo**, "A COMPENSATION STRATEGY FOR TWO-STAGE CMOS OPAMPS BASED ON CURRENT BUFFER", *IEEE Trans. on CAS part I*, vol.44, no.3, pag. 257-262, marzo 1997.

[R24] **G. Giustolisi**, **G. Palmisano**, **G. Palumbo**, "A 1.5-V POWER SUPPLY CMOS VOLTAGE SQUARER", *Electronics Letters*, vol.33, n.13, pag. 1134-1136, giugno 1997.

[R25] **G. Palmisano**, **G. Palumbo**, **S. Pennisi** , "HARMONIC DISTORTION ON CLASS AB CMOS CURRENT OUTPUT STAGE", *IEEE Trans. on CAS part II*, Vol. 45, No. 2, pag. 243-250, febbraio 1998.

[R26] **G. Palmisano**, **G. Palumbo**, **S. Pennisi** , "HIGH-DRIVE CMOS CURRENT AMPLIFIER", *IEEE Jour. of Solid-State Circuits.*, Vol. 33, No. 2, pag. 228-236, febbraio 1998.

[R27] **G. Palumbo**, **S. Pennisi**, "HARMONIC DISTORTION IN NONLINEAR AMPLIFIER WITH NONLINEAR FEEDBACK", *International Journal of Circuit Theory and Applications*, Vol. 26, pag. 293-299, 1998.

[R28] **G. Palumbo**, "A NOVEL FULLY ADJUSTABLE CMOS CURRENT SCHMITT TRIGGER WITH A 1.5-V POWER SUPPLY", *International Journal of Circuit Theory and Applications*, Vol. 26, pag. 323-327, 1998.

[R29] **G. Palmisano**, **G. Palumbo**, "A NOVEL REPRESENTATION FOR TWO-POLE FEEDBACK AMPLIFIERS", *IEEE Trans. on Education*, Vol. 41, No. 3, pag. 216-218, agosto 1998.

[R30] **G. Palumbo**, **J. Choma Jr**., "AN OVERVIEW OF ANALOG FEEDBACK PART I: BASIC THEORY", *Analog Integrated Circuits and Signal Processing*, Vol. 17, No. 3, pag. 175-194, novembre 1998.

[R31] **G. Palumbo**, **J. Choma Jr**., "AN OVERVIEW OF ANALOG FEEDBACK PART II: AMPLIFIER CONFIGURATIONS IN GENERIC DEVICE TECHNOLOGIES", *Analog Integrated Circuits and Signal Processing.* Vol. 17, No. 3, pag. 195-219, novembre 1998.

[R32] **G. Palmisano**, **G. Palumbo**, **S. Pennisi** , "DESIGN STRATEGIES FOR CLASS A CMOS CCIIS", *Analog Integrated Circuits & Signal Processing*, Vol. 19, No. 1, pag. 71-80, febbraio 1999.

[R33] **G. Palmisano**, **G. Palumbo**, **R. Salerno**, "1.5-V HIGH-DRIVE CAPABILITY CMOS OPAMP", *IEEE Jour. of Solid-State Circuits*, Vol. 34, No. 2, pag. 248-252, febbraio 1999.

[R34] **G. Di Cataldo**, **G. Palmisano**, **G. Palumbo**, **S. Pennisi**, "HIGH-SPEED VOLTAGE BUFFERS FOR THE EXPERIMENTAL CHARACTERIZATION OF CMOS TRANSCONDUCTANCE OPERATIONAL AMPLIFIERS", *IEEE Trans. on Instr. and Meas*, Vol. 48, No. 1, pag. 31-33, febbraio 1999.

[R35] **G. Palumbo**, "1.2-V CMOS OUTPUT STAGE WITH IMPROVED DRIVE CAPABILITY", *Electronics Letters*, Vol. 35, No. 5, pag. 358-359, marzo 1999.

[R36] **G. Palumbo**, (invitato) "BIPOLAR CURRENT FEEDBACK AMPLIFIER: COMPENSATION GUIDELINES", *Analog Integrated Circuits and Signal Processing*, Vol. 19, No. 2, pag. 107-114, maggio 1999.

[R37] **G. Palmisano**, **G. Palumbo**, "ANALYSIS AND COMPENSATION OF TWO-POLE AMPLIFIERS WITH A POLE-ZERO DOUBLET", *IEEE Trans. on CAS part I*, Vol. 46, No. 7, pag. 864-868, luglio 1999.

[R38] **G. Palumbo, S. Pennisi**, "LOW VOLTAGE CLASS AB CMOS CURRENT OUTPUT STAGE", *Electronics Letters*, Vol. 35, No. 16, pag. 1329-1330, agosto 1999.

[R39] **M. Alioto**, **G. Palumbo**, "HIGHLY ACCURATE AND SIMPLE MODELS FOR CML AND ECL GATES", *IEEE Trans. on CAD for Circuits and Systems*, Vol. 18, No. 9, pag. 1369-1375, settembre 1999.

[R40] **M. Alioto**, **G. Palumbo**, "CML AND ECL: OPTIMIZED DESIGN AND COMPARISON," *IEEE Trans. on CAS part I.*, Vol. 46, No. 11, pag. 1330-1341, novembre 1999.

[R41] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, " SWITCHED CAPACITOR COMPATIBLE MINIMUM-MAXIMUM FUNCTION ", *Electronics Letters*, vol.36, n.1, pag. 35-36, gennaio 2000.

[R42] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "CMRR FREQUENCY RESPONSE OF CMOS OPERATIONAL TRANSCONDUCTANCE AMPLIFIER", *IEEE Trans. on Instrumentation and Measurement*, Vol. 49, No. 1, pag. 137-143, febbraio 2000.

[R43] **G. Palumbo, N. Barniol, M. Bethaoui**, "IMPROVED BEHAVIORAL AND DESIGN MODEL OF AN N-TH ORDER CHARGE PUMP", *IEEE Trans. on CAS part I*, Vol. 47, No. 2, pag. 264-268, febbraio 2000.

[R44] **G. Palumbo, S. Pennisi**, (invitato) "ANALYSIS OF THE NOISE CHARACTERISTICS OF CURRENT- FEEDBACK OPERATIONAL AMPLIFIER", *Microelectronics Reliability*, Vol. 40, pag. 321-327, febbraio 2000

[R45] **G. Palmisano**, **G. Palumbo**, **R. Salerno**, "CMOS OUTPUT STAGES FOR LOW VOLTAGE POWER SUPPLY", *IEEE Trans. on CAS part II*, Vol. 47, No. 2, pag. 96-104, febbraio 2000.

[R46] **G. Palmisano**, **G. Palumbo**, **S. Pennisi**, "A HIGH PERFORMANCE CMOS UNITY-GAIN AMPLIFIER", *IEEE Trans. on CAS part I*, Vol. 47, No. 3, pag. 406-410, marzo 2000.

[R47] **G. Giustolisi**, **G. Palmisano**, **G. Palumbo**, **T. Segreto**, "1.2 CMOS OPAMP WITH A DYNAMICALLY-BIASED OUTPUT STAGE", *IEEE Jour. of Solid-State Circuits*, Vol. 35, No. 4, pag. 632-636, Aprile 2000.

[R48] **M. Alioto**, **G. Palumbo**, "MODELING AND OPTIMIZED DESIGN OF CURRENT MODE MUX/XOR AND D FLIP-FLOP," *IEEE Trans. on CAS part II*, Vol. 47, No. 5, pag. 452-461, maggio 2000.

[R49] **P. Filoramo**, **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "AN APPROACH TO THE DESIGN OF LOW-VOLTAGE SC FILTERS ", *Proc. IEE part G (Circuits, Devices and Systems)*, Vol. 147, No. 3, pag. 196-200, giugno 2000.

[R50] **M. Alioto, G. Palumbo**, "PERFORMANCE EVALUATION OF ADIABATIC GATES," *IEEE Trans. on CAS part I*, Vol. 47, No. 9, pag. 1297-1308, settembre 2000.

[R51] **G. Palmisano, G. Palumbo, S. Pennisi**, "SOLUTIONS FOR CMOS CURRENT AMPLIFIERS WITH HIGH-DRIVE OUTPUT STAGES", *IEEE Trans. on CAS part II*, Vol. 47, No. 10, pag. 988-998, ottobre 2000.

[R52] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "A SWITCHED-CAPACITOR COMPATIBLE MEMBERSHIP FUNCTION BLOCK", *IEEE Trans. on CAS part II*, Vol. 47, No. 11, pag. 1321-1325, novembre 2000.

[R53] **M. Alioto**, **G. Palumbo**, "OSCILLATION FREQUENCY IN CML AND ESCL RING OSCILLATORS", *IEEE Trans. on CAS part I*, Vol. 48, No. 2, pag. 210-214, febbraio 2001.

[R54] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "ANALYSIS AND OPTIMISATION OF A NOVEL CMOS MULTIPLIER", *International Journal of Circuit Theory and Applications*, Vol. 29, No. 3, pag. 321-330, Maggio 2001.

[R55] **G. Palumbo**, **S. Pennisi**, "A HIGH-PERFORMANCE CMOS CCII", *International Journal of Circuit Theory and Applications*, Vol. 29, No. 3, pag. 331-336, Maggio 2001.

[R56] **G. Palumbo, S. Pennisi**, "CURRENT-FEEDBACK AMPLIFIERS VERSUS VOLTAGE OPERATIONAL AMPLIFIERS", *IEEE Trans. on CAS part I*, Vol. 48, No. 5, pag. 617-623, maggio 2001.

[R57] **G. Palmisano**, **G. Palumbo**, **S. Pennisi**, "DESIGN PROCEDURE FOR TWO-STAGE CMOS TRANSCONDUCTANCE OPERATIONAL AMPLIFIERS: A TUTORIAL", *Analog Integrated Circuits and Signal Processing*, Vol. 27, No. 2, pag. 177-188, maggio 2001.

[R58] **M. Alioto**, **G. Palumbo**, "POWER ESTIMATION IN ADIABATIC CIRCUITS: A SIMPLE AND ACCURATE MODEL", *IEEE Trans. on VLSI.*, Vol. 9, No. 5, pag. 608-615, ottobre 2001.

[R59] **G. Giustolisi**, **G. Palumbo**, "AN APPROACH TO TEST THE OPEN-LOOP PARAMETERS OF FEEDBACK AMPLIFIERS ", *IEEE Trans. on CAS part I*, Vol. 49, No. 1, pag. 70-75, gennaio 2002.

[R60] **M. Alioto**, **G. Di Cataldo**, **Palumbo**, "DESIGN OF LOW-POWER HIGH-SPEED BIPOLAR FREQUENCY DIVIDERS", *Electronics Letters*, Vol. 38, No. 4, pag. 158-160, febbraio 2002.

[R61] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "AN EFFICIENT FUZZY CONTROLLER ARCHITECTURE IN SC TECHNIQUE", *IEEE Trans. on CAS part II*, Vol. 49, No. 3, pag. 208-218, marzo 2002.

[R62] **M. Alioto**, **G. Palumbo**, **S. Pennisi**, "MODELING OF SOURCE COUPLED LOGIC GATES", *International Journal of Circuit Theory and Applications*, Vol. 30, No. 4 pag. 459-477, luglio 2002.

[R63] **G. Palumbo, S. Pennisi**, "DESIGN METHODOLOGY AND ADVANCES IN NESTED-MILLER COMPENSATION", *IEEE Trans. on CAS part I*, Vol. 49, No. 7, pag. 893-903, luglio 2002.

[R64] **G. Giustolisi**, **G. Palumbo**, **S. Pennisi**, "CURRENT-MODE A/D FUZZY CONVERTER", *IEEE Trans. on Fuzzy Systems*, Vol. 10, No. 4, pag. 533-540, agosto 2002.

[R65] **M. Alioto**, **G. Palumbo**, "NAND/NOR ADIABATIC GATES: POWER CONSUMPTION EVALUATION AND COMPARISON VERSUS THE FAN-IN", *IEEE Trans. on CAS part I*, Vol. 49, No. 9, pag. 1253-1262, settembre 2002.

[R66] **R. Mita**, **G. Palumbo, S. Pennisi, M. Poli**, "PSEUDORANDOM BIT GENERATOR BASED ON DYNAMIC LINEAR FEEDBACK TOPOLOGY", *Electronics Letters*, Vol. 38, No. 19, pag. 1097-1098, settembre 2002.

[R67] **I. Boccuni**, **R. Gulino**, **G. Palumbo**, "BEHAVIORAL MODEL OF ANALOG CIRCUITS FOR NONVOLATILE MEMORIES WITH VHDL-AMS", *Analog Integrated Circuits and Signal Processing*, Vol. 33, pag. 19-28, ottobre 2002.

[R68] **G. Giustolisi**, **G. Palumbo**, **S. Pennisi**, "RESOLUTION OF A CURRENT-MODE ALGORITHMIC ANALOG-TO-DIGITAL CONVERTER", *IEEE Trans. on CAS part I*, Vol. 49, No. 10, pag. 1480-1486, ottobre 2002.

[R69] **M. Alioto**, **G. Di Cataldo**, **G. Palumbo**, "OPTIMIZED DESIGN OF HIGH FAN-IN MULTIPLEXERS USING TRI-STATE INVERTER", *IEEE Trans. on CAS part I*, Vol. 49, No. 10, pag. 1500-1505, ottobre 2002.

[R70] **W. Aloisi**, **G. Giustolisi**, **G. Palumbo**, "A 1-V CMOS OUTPUT STAGE WITH EXCELLENT LINEARITY", *Electronics Letters*, Vol. 38, No. 22, pag. 1299-1300, ottobre 2002.

[R71] **G. Palumbo**, **D. Pappalardo**, **M. Gaibotti**, "CHARGE PUMP CIRCUITS: POWER CONSUMPTION OPTIMIZATION", *IEEE Trans. on CAS part I*, Vol. 49, No. 11, pag. 1535-1542, novembre 2002.

[R72] **M. Alioto**, **G. Palumbo**, "ANALYSIS AND COMPARISON OF THE FULL ADDER BLOCK IN SUB-MICRON TECHNOLOGY", *IEEE Trans. on VLSI*, Vol. 10, No. 6, pag. 806-823, dicembre 2002.

[R73] **G. Giustolisi**, **G. Palumbo**, **M. Criscione**, **F. Cutrì**, "A LOW-VOLTAGE LOW-POWER VOLTAGE REFERENCE BASED ON SUBTHRESHOLD MOSFET", *IEEE Jour. of Solid-State Circuits*, Vol. 38, No. 1, pag. 151-154, gennaio 2003.

[R74] **M. Alioto**, **G. Palumbo**, "A SIMPLE STRATEGY FOR OPTIMIZED DESIGN OF ONE-LEVEL CARRY-SKIP ADDERS", *IEEE Trans. on CAS part I*, Vol. 50, No. 1, pag. 141-148, gennaio 2003.

[R75] **G. Giustolisi**, **G. Palumbo**, "A DETAILED ANALYSIS OF POWER SUPPLY NOISE ATTENUATION IN BANDGAP VOLTAGE REFERENCES", *IEEE Trans. on CAS part I*, Vol. 50, No. 2, pag. 185-197, febbraio 2003.

[R76] **G. Palumbo, S. Pennisi**, "HIGH-FREQUENCY HARMONIC DISTORTION IN FEEDBACK AMPLIFIERS: ANALYSIS AND APPLICATIONS", *IEEE Trans. on CAS part I*, Vol. 50, No. 3, pag. 328-340, marzo 2003.

[R77] **R. Mita**, **G. Palumbo**, **S. Pennisi**, "1.5-V CMOS CCII+ WITH HIGH CURRENT-DRIVING CAPABILITY", *IEEE Trans. on CAS part II*, Vol. 50, No. 4, pag. 187-190, aprile 2003.

[R78] **G. Palumbo**, **M. Poli**, "PROPAGATION DELAY MODEL OF A CURRENT DRIVEN RC CHAIN FOR AN OPTIMIZED DESIGN", *IEEE Trans. on CAS part I*, Vol. 50, No. 4, pag. 572-575, aprile 2003.

[R79] **R. Mita**, **G. Palumbo**, **S. Pennisi**, "DESIGN GUIDELINES FOR REVERSED NESTED MILLER COMPENSATION IN THREE-STAGE AMPLIFIERS", *IEEE Trans. on CAS part II*, Vol. 50, No. 5, pag. 227-233, maggio 2003.

[R80] **M. Alioto**, **G. Palumbo**, "DESIGN STRATEGY FOR SOURCE COUPLED LOGIC GATES", *IEEE Trans. on CAS part I*, Vol. 50, No. 5, pag. 640-654, maggio 2003.

[R81] **W. Aloisi**, **G. Giustolisi**, **G. Palumbo**, "ANALYSIS, MODELING AND OPTIMIZATION OF A GAIN BOOSTED TELESCOPIC AMPLIFIER", *International Journal of Circuit Theory and Applications*, Vol. 31, No. 5, pag. 513-528, ottobre 2003.

[R82] **M. Alioto** , **R. Mita**, **G. Palumbo**, "PERFORMANCE EVALUATION OF THE LOW-VOLTAGE CML D-LATCH TOPOLOGY", *Integration – The VLSI Journal*, Vol. 36, No. 4, pag. 191-209, novembre 2003.

[R83] **G. Giustolisi**, **G. Palumbo**, "A NEW METHOD FOR HARMONIC DISTORTION ANALYSIS IN CLASS-AB STAGES", *IEEE Trans. on CAS part I.*, Vol. 50, No. 12, pag. 1559-1563, dicembre 2003.

[R84] **W. Aloisi**, **G. Giustolisi**, **G. Palumbo**, "EXPLOITING THE HIGH-FREQUENCY PERFORMANCE OF LOW-VOLTAGE LOW-POWER SC FILTERS", *IEEE Trans. on CAS part II*, Vol. 51, No. 2, pag. 77-84, febbraio 2004.

[R85] **R. Mita**, **G. Palumbo**, **S. Pennisi**, "EFFECT OF CFOA NONIDEALITIES IN MILLER INTEGRATOR CELLS", *IEEE Trans. on CAS part II*, Vol. 51, No. 5, pag. 249-253, maggio 2004.

[R86] **A. D. Grasso, G. Palumbo**, "OPTIMIZED DESIGN OF ECL GATES WITH A POWER CONSTRAINT", *Electronics Letters*, Vol. 40, No. 19, pag. 1169-1170, settembre 2004.

[R87] **M. Alioto, G. Palumbo**, **M. Poli**, "EVALUATION OF ENERGY CONSUMPTION IN RC LADDER CIRCUITS DRIVEN BY A RAMP INPUT", *IEEE Trans. on VLSI*, Vol. 12, No. 10, pag. 1094-1107, ottobre 2004.

[R88] **G. Palumbo**, **D. Pappalardo**, **M. Gaibotti**, "CHARGE PUMP CIRCUITS: POWER CONSUMPTION OPTIMIZATION – A SUMMARY", *IEEE Circuits and Systems Magazine*, Vol. 4, Issue 3, pag. 26-29, 2004.

[R89] **R. Mita**, **G. Palumbo**, **S. Pennisi**, "NONIDEALITIES OF TOW-THOMAS BIQUADS USING VOA- AND CFOA-BASED MILLER INTEGRATORS", *IEEE Trans. on CAS part II*, Vol. 52, No. 1, pag. 22-27, gennaio 2005.

[R90] **M. Alioto, G. Palumbo**, "POWER-DELAY OPTIMIZATION OF D-LATCH/MUX SOURCE COUPLED LOGIC GATES", *International Journal of Circuit Theory and Applications*, Vol. 33, No. 1, pag. 65-86, gennaio 2005.

[R91] **A. Conte**, **G. Lo Giudice**, **G. Palumbo**, **A. Signorello**, "A HIGH PERFORMANCE VERY LOW-VOLTAGE CURRENT SENSE AMPLIFIRE FOR NON VOLATILE MEMORIES", *IEEE Jour. of Solid-State Circuits*, Vol. 40, No. 2, pag. 507-514, febbraio 2005.

[R92] **R. Mita**, **G. Palumbo**, **S. Pennisi**, "LOW-VOLTAGE HIGH-DRIVE CMOS CURRENT FEEDBACK OP-AMP", *IEEE Trans. on CAS part II*, Vol. 52, No. 6, pag. 317-321, giugno 2005.

[R93] **W. Aloisi**, **G. Giustolisi**, **G. Palumbo**, "DESIGN AND COMPARISON OF VERY LOW-VOLTAGE CMOS OUTPUT STAGES", *IEEE Trans. on CAS part I*, Vol. 52, No. 8, pag. 1545-1556, agosto 2005.

[R94] **W. Aloisi**, **G. Palumbo**, "EFFICIENCY MODEL OF BOOST DC-DC PWM CONVERTERS", *International Journal of Circuit Theory and Applications*, Vol. 33, N. 5, pag. 419-432, settembre 2005.

[R95] **O. Cannizzaro, G. Palumbo**, **S. Pennisi**,, "ACCURATE ESTIMATION OF HIGH-FREQUENCY HARMONIC DISTORTION IN TWO-STAGE MILLER OTAS", *IEE proc. Circuits, Devices and Systems*, Vol. 152, No. 5, pag. 417-424, ottobre 2005.

[R96] **M. Alioto, G. Palumbo**, "MODELLING AND DESIGN CONSIDERATIONS ON CML GATES UNDER HIGH-CURRENT EFFECTS", *International Journal of Circuit Theory and Applications*, Vol. 33, No. 6, pag. 503-518, novembre 2005.

[R97] **G. Palumbo**, **D. Pappalardo**, "CHARGE PUMP CIRCUITS WITH ONLY CAPACITIVE LOADS: OPTIMIZED DESIGN", *IEEE Trans. on CAS part II*, Vol. 53, No. 2, pag. 128-132, febbraio 2006.

[R98] **M. Alioto, G. Palumbo**, "DESIGN STRATEGIES OF CASCADED CML GATES", *IEEE Trans. on CAS part II*, Vol. 53, No. 2, pag. 85-89, febbraio 2006.

[R99] **O. Cannizzaro, G. Palumbo**, **S. Pennisi**, "EFFECTS OF NONLINEAR FEEDBACK IN THE FREQUENCY DOMAIN", *IEEE Trans. on CAS part I*, Vol. 53, No. 2, pag. 225-234, febbraio 2006.

[R100]**M. Alioto**, **A. D. Grasso, G. Palumbo**, "DESIGN OF CASCADED ECL GATES WITH A POWER CONSTRAINT", *Electronics Letters*, Vol. 42, No. 4, pag. 211-212, febbraio 2006.

[R101] **G. Palumbo**, **D. Pappalardo**, **M. Gaibotti**, "CHARGE PUMP WITH ADAPTIVE STAGES FOR NON-VOLATILE MEMORIES", *IEE proc. Circuits, Devices and Systems*, Vol. 153, No. 2, pag. 136-142, aprile 2006.

[R102] **O. Cannizzaro, G. Palumbo**, **S. Pennisi**, "DISTORTION ANALYSIS OF MILLER-COMPENSATED THREE-STAGE AMPLIFIER", *IEEE Trans. on CAS part I*, Vol. 53, No. 5, pag. 961-976, maggio 2006.

[R103] **M. Alioto, G. Palumbo**, **M. Poli**, " ENERGY CONSUMPTION IN RC TREE CIRCUITS", *IEEE Trans. on VLSI*, Vol. 14, No. 5, pag. 452-461, maggio 2006.

[R104] **G. Giustolisi**, **G. Palumbo**, "TECHNIQUES FOR EVALUATING HARMONIC DISTORTION IN CLASS-AB OUTPUT STAGES: A TUTORIAL", *Analog Integrated Circuits and Signal Processing*, Vol. 47, No. 3, pag. 323-334, giugno 2006.

[R105] **R. Mita**, **G. Palumbo**, "MODELING OF ANALOG BLOCKS BY USING STANDARD HARDWARE DESCRIPTION LANGUAGE", *Analog Integrated Circuits and Signal Processing*, Vol. 48, No. 2, pag. 107-120, agosto 2006.

[R106] **R. Mita**, **G. Palumbo**, **M. Poli**, "PSEUDO-RANDOM SEQUENCE GENERATORS WITH IMPROVED INVIOLABILITY PERFORMANCE", *IEE proc. Circuits, Devices and Systems*, Vol. 153, No. 4, pag 375-382, agosto 2006.

[R107] **R. Mita**, **G. Palumbo**, **P. G. Fallica**, "A FAST DRIVER CIRCUIT FOR SINGLE-PHOTON SENSORS", *Microelectronics Journal*, Vol. 37, N. 10, pag. 1092-1096, ottobre 2006.

[R108] **A. D. Grasso, G. Palumbo**, **S. Pennisi**, "THREE-STAGE CMOS OTA FOR LARGE CAPACITIVE LOADS WITH EFFICIENT FREQUENCY COMPENSATION SCHEME", *IEEE Trans. on CAS part II*, Vol. 53, No. 10, pag. 1044-1048, ottobre 2006.

[R109] **M. Alioto**, **R. Mita**, **G. Palumbo**, "DESIGN OF HIGH-SPEED POWER-EFFICIENT MOS CURRENT-MODE LOGIC FREQUENCY DIVIDERS", *IEEE Trans. on CAS part II*, Vol. 53, No. 11, pag. 1165-1169, novembre 2006.

[R110] **G. Giustolisi**, **G. Palumbo**, **M. Gaibotti**, "STATISTICAL MODELING AND DESIGN GUIDELINES OF CMOS CURRENT REFERENCES", *IEE proc. Circuits, Devices and Systems*, Vol. 153, No. 6, pag. 559-564, dicembre 2006.

[R111] **M. Alioto, G. Palumbo**, "POWER-AWARE DESIGN TECHNIQUES FOR NANOMETER MOS CURRENT-MODE LOGIC GATES: A DESIGN FRAMEWORK", *IEEE Circuits and Systems Magazine*, No. 4, pag. 40-59, dicembre 2006.

[R112] **M. Alioto, G. Palumbo**, "IMPACT OF SUPPLY VOLTAGE VARIATIONS ON FULL ADDER DELAY: ANALYSIS AND COMPARISON", *IEEE Trans. on VLSI*, *IEEE Trans. on VLSI*, Vol. 14, No. 12, pag. 1322-1335, dicembre 2006.

[R113] **M. Alioto, G. Di Cataldo, G. Palumbo**, "MIXED FULL ADDER TOPOLOGIES FOR HIGH-PERFORMANCE LOW-POWER ARITHMETIC CIRCUITS", *Microelectronics Journal*, Vol. 38, No. 1, pag. 130-139, gennaio 2007.

[R114] **R. Mita**, **G. Palumbo**, **M. Poli**, "PROPAGATION DELAY OF AN RC-CHAIN WITH A RAMP INPUT", *IEEE Trans. on CAS part II*, Vol. 54, No. 1, pag. 66-70, gennaio 2007.

[R115] **A. D'amico, C. Falconi, G. Giustolisi**, **G. Palumbo**, "RESISTANCE OF FEEDBACK AMPLIFIERS: A NOVEL REPRESENTATION", *IEEE Trans. on CAS part II*, Vol. 54, No. 4, pag. 298-302, aprile 2007.

[R116] **S. O. Cannizzaro**, **A. D. Grasso, R. Mita, G. Palumbo**, **S. Pennisi**, "DESIGN PROCEDURES FOR THREE-STAGE CMOS OTAS WITH NESTED-MILLER COMPENSATION", *IEEE Trans. on CAS part I*, Vol. 54, No. 5, pag. 933-940, maggio 2007.

[R117] **A. D. Grasso**, **D. Marano**, **G. Palumbo**, **S. Pennisi**, "IMPROVED REVERSED NESTED MILLER FREQUENCY COMPENSATION TECHNIQUE WITH VOLTAGE BUFFER AND RESISTOR", *IEEE Trans. on CAS part II*, Vol. 54, No. 5, pag. 382-386, maggio 2007.

[R118] **M. Alioto**, **G. Palumbo**, "INTERCONNECT-AWARE DESIGN OF FAST LARGE FAN-IN CMOS MULTIPLEXERS", *IEEE Trans. on CAS part II*, Vol. 54, No. 6, pag. 484-488, giugno 2007.

[R119] **M. Alioto**, **G. Palumbo**, "VERY FAST CARRY ENERGY EFFICIENT COMPUTATION BASED ON MIXED DYNAMIC/TRANSMISSION-GATE FULL ADDERS", *Electronics Letters* Vol. 43, No. 13, pp. 707-709, July 2007.

[R120] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, "ADVANCES IN REVERSED NESTED MILLER COMPENSATION", *IEEE Trans. on CAS part I*, Vol. 54, No. 7, pp. 1459-1470, July 2007.

[R121] **O. Cannizzaro, G. Palumbo**, **S. Pennisi**, "AN APPROACH TO MODEL HIGH-FREQUENCY DISTORTION IN NEGATIVE-FEEDBACK AMPLIFIERS", *International Journal of Circuit Theory and Applications*, Vol. 36, No. 1, pag. 3-18, gennaio 2008.

[R122] **A. D. Grasso, G. Palumbo**, **S. Pennisi**, "ANALYTICAL COMPARISON OF FREQUENCY COMPENSATION TECHNIQUES IN THREE-STAGE AMPLIFIERS", *International Journal of Circuit Theory and Applications*, Vol. 36, No. 1, pag. 53-80, gennaio 2008.

[R123] **M. Alioto**, **G. Palumbo**, "POWER-AWARE DESIGN OF NANOMETER MCML TAPERED BUFFERS", *IEEE Trans. on CAS part II* Vol. 55, No. 1, pag. 16-20, gennaio 2008.

[R124] **R. Mita**, **G. Palumbo**, "HIGH-SPEED AND COMPACT QUENCHING CIRCUIT FOR SINGLE-PHOTON AVALANCHE DIODES", *IEEE Trans. on Instrumentation & Measurement*, Vol. 57, No. 3, pag. 543-547, Marzo 2008.

[R125] **R. Mita**, **G. Palumbo**, **G. Fallica**, "ACCURATE MODEL FOR SINGLE-PHOTON AVALANCHE DIODES", *IET proc. Circuits, Devices and Systems*, Vol. 2, No. 2, pag. 207-212, aprile 2008.

[R126] **W. Aloisi**, **G. Palumbo**, **S. Pennisi**, "DESIGN METHODOLOGY OF MILLER FREQUENCY COMPENSATION WITH CURRENT BUFFER/AMPLIFIER", *IET proc. Circuits, Devices and Systems*, Vol. 2, No. 2, pag. 227-233, aprile 2008.

[R127] **G. Palumbo**, **M. Pennisi**, "AMOLED PIXEL DRIVER CIRCUITS BASED ON POLY-SI TFTS: A COMPARISON", *Integration – The VLSI Journal*, Vol. 41, No. 3, pag. 439-446, maggio 2008.

[R128] **G. Palumbo**, **M. Pennisi**, **S. Pennisi**, "WIEN-TYPE OSCILLATORS: EVALUATION AND OPTIMIZATION OF HARMONIC DISTORTION", *IEEE Trans. on CAS part II*, Vol. 55, No. 7, pag. 628-632, luglio 2008.

[R129] **W. Aloisi**, **G. Di Cataldo**, **G. Giustolisi**, **G. Palumbo**, "DESIGN GUIDELINES OF CMOS OUTPUT STAGES: A TUTORIAL", *Analog Integrated Circuits and Signal Processing*, Vol. 56, No. 3, pag. 163-177, settembre 2008.

[R130] **R. Mita**, **G. Palumbo**, "MICROPROCESSOR DESIGN USING HARDWARE DESCRIPTION LANGUAGE", *European Journal of Engineering Education,*. Vol. 33, No. 4, pag. 425-432, agosto 2008.

[R131] **O. Cannizzaro, A. D. Grasso, G. Palumbo**, **S. Pennisi**, "SINGLE MILLER CAPACITOR FREQUENCY COMPENSATION WITH NULLING RESISTOR FOR THREE-STAGE AMPLIFIERS", *International Journal of Circuit Theory and Applications*, Vol. 36, No. 7, pag. 825-837, ottobre 2008.

[R132] **G. Palumbo**, **M. Pennisi**, **S. Pennisi**, "MILLER THEOREM FOR WEAKLY NONLINEAR FEEDBACK CIRCUITS AND APPLICATION TO CE AMPLIFIER", *IEEE Trans. on CAS part II*, Vol. 55, No. 10, pag. 991-995, ottobre 2008.

[R133] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, "COMPARISON OF THE FREQUENCY COMPENSATION TECHNIQUES FOR CMOS TWO-STAGE MILLER OTAS", *IEEE Trans. on CAS part II*, Vol. 55, No. 11, pag. 1099-1103, novembre 2008.

[R134] **A. D'amico, C. Falconi, G. Giustolisi**, **G. Palumbo**, "ON-CHIP LOW DROP-OUT VOLTAGE REGULATOR WITH NMOS POWER TRANSISTOR AND DYNAMIC BIASING TECHNIQUE", *Analog Integrated Circuits and Signal Processing*, Vol. 58, No. 2, pag. 81-90, febbraio 2009.

[R135] **M. Alioto, G. Palumbo**, **M. Poli**, "ANALYSIS AND MODELING OF ENERGY CONSUMPTION IN RLC TREE CIRCUITS", *IEEE Trans. on VLSI*, Vol. 17, No. 2, pag. 278-291, febbraio 2009.

[R136] **G. Palumbo**, **M. Pennisi**, **S. Pennisi**, "APPROACH TO ANALYZE AND DESIGN NEARLY SINUSOIDAL OSCILLATORS", *IET proc. Circuits, Devices and Systems*, Vol. 3, No. 4, pag. 204-221, agosto 2009.

[R137] **R. Mita**, **G. Palumbo**, "PROPAGATION DELAY OF AN RC-CIRCUIT WITH A RAMP INPUT: AN ANALYTICAL VERY ACCURATE AND SIMPLE MODEL", *International Journal of Circuit Theory and Applications*, Vol. 37, No. 9, pag. 987-994, novembre 2009.

[R138] **G. Giustolisi**, **G. Palumbo**, "DYNAMIC-BIASED CAPACITOR-FREE NMOS LDO VOLTAGE REGULATOR", *Electronics Letters*, Vol. 45, No. 22, pag. 1140-1141, ottobre 2009.

[R139] **D. Marano**, **G. Palumbo**, **S. Pennisi**, "IMPROVED POWER-EFFICIENT RNMC TECHNIQUE WITH VOLTAGE BUFFER AND NULLING RESISTORS FOR LOW-POWER HIGH-LOAD THREE-STAGE AMPLIFIERS", *Journal of Circuits, Systems, and Computers*, Vol. 18, No.7, pag. 1321-1331, novembre, 2009.

[R140] **G. Palumbo**, **D. Pappalardo** "CHARGE PUMP CIRCUITS: AN OVERVIEW ON DESIGN STRATEGIES AND TOPOLOGIES", *IEEE Circuits and Systems Magazine*, No. 1, pag. 31-45, gennaio 2010.

[R141] **D. Marano**, **G. Palumbo**, **S. Pennisi**, "STEP-RESPONSE OPTIMIZATION TECHNIQUES FOR LOW-POWER THREE-STAGE OPERATIONAL AMPLIFIERS FOR HIGH CAPACITIVE LOAD APPLICATIONS", *IET Circuits, Devices and Systems*, Vol. 4, No. 2, pag. 87-98, marzo 2010.

[R142] **D. Marano**, **G. Palumbo**, **S. Pennisi**, "IMPROVED LOW-POWER HIGHT-SPEED BUFFER AMPLIFIER WITH SLEW-RATE ENHANCEMENT FOR LCD APPLICATIONS", *Journal of Circuits, Systems, and Computers*, Vol. 19, No.2, pag. 325-334, aprile 2010.

[R143] **D. Marano**, **G. Palumbo**, **S. Pennisi**, "A NEW COMPACT LOW-POWER RAIL-TO-RAIL CLASS-B BUFFER FOR LCD APPLICATIONS", *IEEE Journal of Display Technology*, Vol. 6, No. 5, pag. 184-190, maggio 2010.

[R144] **M. Alioto, G. Palumbo**, **M. Pennisi**, "UNDERSTANDING THE EFFECT OF PROCESS VARIATIONS ON THE DELAY OF STATIC AND DOMINO LOGIC", *IEEE Trans. on VLSI*, Vol. 18, No. 5, pag. 697-710, maggio 2010.

[R145] **M. Alioto, E. Consoli, G. Palumbo**, "FLIP-FLOP ENERGY/PERFORMANCE VERSUS CLOCK SLOPE AND IMPACT ON THE CLOCK NETWORK DESIGN", *IEEE Trans. on CAS part I*, Vol. 57, No. 6, pag. 1273-1286, giugno 2010.

[R146] **M. Alioto, E. Consoli, G. Palumbo** "GENERAL STRATEGIES TO DESIGN NANOMETER FLIP-FLOPS IN THE ENERGY-DELAY SPACE", *IEEE Trans. on CAS part I*, Vol. 57, No. 7, pag. 1583-1596, luglio 2010.

[R147] **G. Giustolisi**, **G. Palumbo**, **E. Spitale** "A 50-MA 1-NF LOW-VOLTAGE LOW-DROPOUT VOLTAGE REGULATOR FOR SOC APPLICATIONS", *ETRI Journal*, Vol. 32, No. 4, pag. 520-529, agosto 2010.

[R148] **A. D. Grasso**, **D. Marano**, **G. Palumbo**, **S. Pennisi**, "ANALYTICAL COMPARISON OF REVERSED NESTED MILLER FREQUENCY COMPENSATION TECHNIQUES", *International Journal of Circuit Theory and Applications*, Vol. 38, No. 7, pag. 709-737, settembre 2010.

[R149] **D. Marano**, **G. Palumbo**, **S. Pennisi**, "LOW-POWER HIGH-SPEED RAIL-TO-RAIL LCD OUTPUT BUFFER WITH DUAL-PATH PUSH-PULL OPERATION AND QUIESCENT CURRENT CONTROL", *Analog Integrated Circuits and Signal Processing*, Vol. 65, No. 2, pag. 289-298, novembre 2010.

[R150] **M. Alioto, G. Palumbo**, **M. Poli**, "SIMPLE AND ACCURATE MODELING OF THE OUTPUT TRANSITION TIME IN NANOMETER CMOS GATES", *International Journal of Circuit Theory and Applications*, Vol. 38, No. 10, pag. 995-1012, dicembre 2010.

[R151] **M. Alioto**, **G. Palumbo**, **M. Poli**, "OPTIMIZED DESIGN OF PARALLEL CARRY-SELECT ADDERS", *Integration – The VLSI Journal*, Vol. 44, No. 1, pag. 62-74, gennaio 2011.

[R152] **G. Palumbo**, **M. Pennisi**, **R. G. Carvajal**, "ANALYSIS AND COMPARISON OF CLASS AB CURRENT MIRROR OTAS", *Analog Integrated Circuits and Signal Processing*, Vol. 67, No. 2, pag. 231-239, maggio 2011.

[R153] **M. Alioto, E. Consoli, G. Palumbo**, "ANALYSIS AND COMPARISON IN THE ENERGY-DELAY-AREA DOMAIN OF NANOMETER CMOS FLIP-FLOPS: PART I - METHODOLOGY AND DESIGN STRATEGIES", *IEEE Trans. on VLSI*, Vol. 19, No. 5, pag. 725-736, maggio 2011.

[R154] **M. Alioto, E. Consoli, G. Palumbo**, "ANALYSIS AND COMPARISON IN THE ENERGY-DELAY-AREA DOMAIN OF NANOMETER CMOS FLIP-FLOPS: PART II - RESULTS AND FIGURES OF MERIT", *IEEE Trans. on VLSI*, Vol. 19, No. 5, pag. 737-750, maggio 2011.

[R155] **E. Consoli**, **G. Giustolisi**, **G. Palumbo**, "AN ACCURATE ULTRA-COMPACT I-V MODEL FOR NANOMETER MOS TRANSISTORS WITH APPLICATIONS ON DIGITAL CIRCUITS", *IEEE Trans. on CAS part I*, Vol. 59, No. 1, pag. 159-169, gennaio 2012.

[R156] **E. Consoli**, **G. Palumbo**, **M. Pennisi**, "RECONSIDERING HIGH-SPEED DESIGN CRITERIA FOR TRANSMISSION-GATE BASED MASTER-SLAVE FLIP FLOPS", *IEEE Trans. on VLSI*, Vol. 20, No. 2, pag. 284-295, febbraio 2012.

[R157] **G. Giustolisi**, **R. Mita**, **G. Palumbo**, "BEHAVIORAL MODELING OF STATISTICAL PHENOMENA OF SINGLE-PHOTON AVALANCHE DIODES", *International Journal of Circuit Theory and Applications*, Vol. 40, No. 7, pag. 661-679, luglio 2012.

[R158] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "FROM ENERGY-DELAY METRICS TO CONSTRAINTS ON THE DESIGN OF DIGITAL CIRCUITS", *International Journal of Circuit Theory and Applications*, Vol. 40, No. 8, pag. 815-834, agosto 2012.

[R159] **G. Giustolisi**, **G. Palumbo**, **E. Spitale** "ROBUST MILLER COMPENSATION WITH CURRENT AMPLIFIERS APPLIED TO LDO VOLTAGE REGULATORS", *IEEE Trans. on CAS part*, Vol. 59, No. 9, pag. 1880-1893, settembre 2012.

[R160] **M. Alioto, G. Palumbo, M. Pennisi**, "A SIMPLE CIRCUIT APPROACH TO REDUCE DELAY VARIATIONS IN DOMINO LOGIC GATES", *IEEE Trans. on CAS part I*, Vol. 59, No. 10, pag. 2292-2300, settembre 2012.

[R161] **A. D. Grasso**, **D. Marano**, **F. Esparza**, **G. Palumbo**, **S. Pennisi**, **A. Lopez-Martin**, "SELF-BIASED DUAL-PATH PUSH-PULL OUTPUT BUFFER AMPLIFIER FOR LCD COLUMN DRIVER", *IEEE Trans. on CAS part I*, Vol. 61, No. 3, pag. 663-670, marzo 2014.

[R162] **E. Consoli**, **G. Palumbo**, **J. Rabaey**, **M. Alioto**, "NOVEL CLASS OF ENERGY-EFFICIENT VERY HIGH-SPEED CONDITIONAL PUSH-PULL PULSED LATCHES" *IEEE Trans. on VLSI*, Vol. 22, No. 7, pp. 1593-1605, July 2014.

[R163] **F. Esparza**, **S. Pennisi**, **G. Palumbo**, **A. Lopez-Martin**, "LOW-POWER CLASS-AB CMOS VOLTAGE FEEDBACK CURRENT OPERATIONAL AMPLIFIER WITH TUNABLE GAIN AND BANDWIDTH", *IEEE Trans. on CAS part II*, Vol. 61, No. 8, pag. 574-578, Agosto 2014.

[R164] **G. Giustolisi**, **A. D. Grasso**, **G. Palumbo**, "INTEGRATED QUENCHING-AND-RESET CIRCUIT FOR SINGLE-PHOTON AVALANCHE DIODES", *IEEE Trans. on Instrumentation and Measurement*, Vol. 64, No. 1, pag. 271-277, Gennaio 2015.

[R165] **M. Alioto, E. Consoli, G. Palumbo** "VARIATIONS IN NANOMETER CMOS FLIP-FLOPS: PART I – TIMING AND IMPACT OF PROCESS VARIATIONS", *IEEE Trans. on CAS part I*, Vol. 62, No. 8, pag. 2035-2043, Agosto 2015.

[R166] **M. Alioto, E. Consoli, G. Palumbo** "VARIATIONS IN NANOMETER CMOS FLIP-FLOPS: PART II – ENERGY VARIABILITY AND IMPACT OF OTHER SOURCES OF VARIATIONS", *IEEE Trans. on CAS part I*, Vol. 64, No. 3, pag. 835-843, Marzo 2015.

[R167] **A. D. Grasso**, **D. Marano**, **G. Palumbo**, **S. Pennisi**, "DESIGN METHODOLOGY OF SUBTHRESHOLD THREE-STAGE CMOS OTAS SUITABLE FOR ULTRA-LOW-POWER LOW-AREA AND HIGH DRIVING CAPABILITY", *IEEE Trans. on CAS part I*, Vol. 62, No. 6, pag. 1453-1462, Giugno 2015.

[R168] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, "HIGH-PERFORMANCE FOUR-STAGE CMOS OTA SUITABLE FOR LARGE CAPACITIVE LOADS", *IEEE Trans. on CAS part I*, Vol. 62, No. 10, pag. 2476-2487, Ottobre 2015.

[R169] **G. Giustolisi**, **G. Palumbo**, "THREE-STAGE DYNAMIC-BIASED CMOS AMPLIFIER WITH A ROBUST OPTIMIZATION OF THE SETTLING TIME", *IEEE Trans. on CAS part I*, Vol. 62, No. 11, pag. 2641-2651, Novembre 2015.

[R170] **G. Di Cataldo**, **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, " IMPROVED SINGLE-MILLER PASSIVE COMPENSATION NETWORK FOR THREE-STAGE CMOS OTAS", *Analog Integrated Circuits and Signal Processing*, Vol. 86, No. 3, pag. 417-427, Marzo 2016.

[R171] **G. Giustolisi**, **G. Palumbo**, "COMPENSATION STRATEGY FOR HIGH-SPEED THREE-STAGE SWITCHED-CAPACITOR AMPLIFIERS", *Electronics Letters*, Vol. 52, No. 14, pag. 1202-1204, luglio 2016.

[R172] **D. Marano**, **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, "OPTIMIZED ACTIVE SINGLE-MILLER CAPACITOR COMPENSATION WITH INNER HALF-FEEDFORWARD STAGE FOR VERY HIGH-LOAD THREE-STAGE OTAS", *IEEE Trans. on CAS part I*, Vol. 63, No. 9, pag. 1349-1359, settembre 2016.

[R173] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, **W. Sansen** "THE NOISE PERFORMANCE OF MILLER CMOS OPERATIONAL AMPLIFIERS WITH CURRENT-BUFFER FREQUENCY COMPENSATION", *International Journal of Circuit Theory and Applications*, Vol. 45, No. 4, pag. 457–465, aprile 2017.

[R174] **G. Giustolisi**, **G. Palumbo**, "ROBUST DESIGN OF CMOS AMPLIFIERS ORIENTED TO SETTLING-TIME SPECIFICATION", *International Journal of Circuit Theory and Applications*, Vol. 45, No. 10, pag. 1329–1348, ottobre 2017.

[R175] **G. Scotti**, **D. Bellizia**, **A. Trifiletti**, **G. Palumbo**, "DESIGN OF LOW VOLTAGE HIGH SPEED CML D-LATCHES IN NANOMETER CMOS TECHNOLOGIE", *IEEE Trans. on VLSI*, Vol. 25, No. 12, pag. 3509–3520, dicembre 2017.

[R176] **G. Giustolisi**, **G. Palumbo**, "BESSEL-LIKE COMPENSATION OF THREE-STAGE OPERATIONAL TRANSCONDUCTANCE AMPLIFIERS", *International Journal of Circuit Theory and Applications*, Vol. 46, No. 4, pag. 729–747, aprile 2018.

[R177] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, "SWITCHED-CAPACITOR POWER MANAGER IC FOR AUTONOMOUS IOT NODE", *IEEE Trans. on CAS part II*, Vol. 65, No. 10, pag. 1455–1459, ottobre 2018.

[R178] **A. D. Grasso**, **D. Marano**, **G. Palumbo**, **S. Pennisi**, "HIGH-PERFORMANCE THREE-STAGE SINGLE-MILLER CMOS OTA WITH NO UPPER LIMIT OF C_L", *IEEE Trans. on CAS part II*, Vol. 65, No. 11, pag. 1529–1533, novembre 2018.

[R179] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, "DUAL PUSH-PULL HIGH-SPEED RAIL-TO-RAIL CMOS BUFFER AMPLIFIER FOR FLAT-PANEL DISPLAYS", *IEEE Trans. on CAS part II*, Vol. 65, No. 12, pag. 1879–1883, dicembre 2018.

[R180] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "A REVIEW OF CHARGE PUMP TOPOLOGIES FOR THE POWER MANAGEMENT OF IOT NODES", *Electronics*, Vol. 8, No. 5, aprile 2019.

[R181] **G. Nastasi**, **S. Bonina**, **S. D'Angelo**, **A. Cuccuccio**, **A. Imbruglia**, **C. Abella**, **A. Scuderi**, **S. Pennisi**, **A. D. Grasso**, **G. Giustolisi**, **G. Sorbello**, **G. Palumbo**, **G. Mauro**, "AUTONOMOUS ENERGY-EFFICIENT WIRELESS SENSOR NETWORK PLATFORM FOR HOME/OFFICE AUTOMATION", *IEEE Sensors Journal*, Vol. 19, No. 9, pag. 3501–3512, maggio 2019.

[R182] **G. Giustolisi**, **G. Palumbo**, **S. Pennisi** "CLASS-AB CMOS OUTPUT STAGES SUITABLE FOR LOW-VOLTAGE AMPLIFIERS IN NANOMETER TECHNOLOGIES", *Microelectronics Journal*, Vol. 92, No. 12, dicembre 2019.

[R183] **A. Ballo**, **A. D. Grasso**, **G. Giustolisi**, **G. Palumbo**, "OPTIMIZED CHARGE PUMP WITH CLOCK BOOSTER FOR REDUCED RISE TIME OR SILICON AREA", *IEEE Trans. on CAS part II*, Vol. 66, No. 12, pag. 1977–1981, dicembre 2019.

[R184] **G. Giustolisi**, **G. Palumbo**, "AN IN DEPTH OF POLE-ZERO COMPENSATIONS IN CMOS OPERATIONAL TRANSCONDUCTANCE AMPLIFIERS", *IEEE Trans. on CAS part I*, Vol. 66, No. 12, pag. 4557–4570, dicembre 2019.

[R185] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "A SIMPLE AND EFFECTIVE DESIGN STRATEGY TO INCREASE POWER CONVERSION EFFICIENCY OF LINEAR CHARGE PUMPS", *International Journal of Circuit Theory and Applications*, Vol. 48, No. 2, pag. 157-307, febbraio 2020.

[R186] **G. Scotti**, **A. Trifiletti**, **G. Palumbo**, "A NOVEL 0.5V MCML D-FLIP-FLOP TOPOLOGY EXPLOITING FORWARD BODY BIAS THRESHOLD LOWERING", *IEEE Trans. on CAS part II*, Vol. 67, No. 3, pag. 560–564, marzo 2020.

[R187] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, **T. Tanzawa**, "LINEAR DISTRIBUTION OF CAPACITANCE IN DICKSON CHARGE PUMPS TO REDUCE RISE TIME", *International Journal of Circuit Theory and Applications*, Vol. 48, No. 4, pag. 555-566, aprile 2020.

[R188] **F. Centurelli**, **G. Scotti**, **A. Trifiletti**, **G. Palumbo**, "DELAY MODELS AND DESIGN GUIDELINES FOR MCML GATES WITH RESISTOR OR PMOS LOAD", *Microelectronics Journal*, Vol. 99, No. 5, maggio 2020.

[R189] **A. Ballo**, **M. Bottaro**, **A. D. Grasso**, **G. Palumbo**, "REGULATED CHARGE PUMPS: A COMPARATIVE STUDY BY MEANS OF VERILOG-AMS", *Electronics*, Vol. 9, No. 8, giugno 2020.

[R190] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "A HIGH-PERFORMANCE CHARGE PUMP TOPOLOGY FOR VERY-LOW-VOLTAGE APPLICATIONS", *IEEE Trans. on CAS part II*, Vol. 67, No. 7, pag. 1304-1308, luglio 2020.

[R191] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "A SUBTHRESHOLD CROSS-COUPLED HYBRID CHARGE PUMP FOR 50-MV COLD-START", *IEEE Access*, Vol. 8, pp. 188959- 188969, ottobre 2020.

[R192] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "CURRENT-MODE BODY-BIASED SWITCH TO INCREASE PERFORMANCE OF LINEAR CHARGE PUMPS", *International Journal of Circuit Theory and Applications*, Vol. 48, No. 11, pag. 1864-1872, novembre 2020.

[R193] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "CHARGE PUMP IMPROVEMENT FOR ENERGY HARVESTING APPLICATIONS BY NODE PRE-CHARGING", *IEEE Trans. on CAS part II*, Vol. 67, No. 12, pag. 3312-3316, dicembre 2020.

[R194] **G. Palumbo**, **G. Scotti**, "A MULTI-FOLDED MCML FOR ULTRA-LOW-VOLTAGE HIGH-PERFORMANCE IN DEEPLY SCALED CMOS", *IEEE Trans. on CAS part I*, Vol. 67, No. 12, pag. 4696-4706, dicembre 2020.

[R195] **G. Giustolisi**, **G. Palumbo**, "DESIGN OF CMOS THREE-STAGE AMPLIFIERS FOR NEAR-TO-MINIMUM SETTLING-TIME", *Microelectronics Journal*, Vol. 107, January 2021.

[R196] **F. Centurelli**, **G. Scotti**, **A. Trifiletti**, **G. Palumbo**, "DESIGN OF LOW-VOLTAGE POWER EFFICIENT FREQUENCY DIVIDERS IN FOLDED MOS CURRENT MODE LOGIC", *IEEE Trans. on CAS part I*. Vol. 68, No. 2, pag. 680-691, febbraio 2021.

[R197] **G. Giustolisi**, **G. Palumbo**, "DESIGN OF THREE-STAGE OTA BASED ON SETTLING-TIME REQUIREMENTS INCLUDING LARGE AND SMALL SIGNAL BEHAVIOR", *IEEE Trans. on CAS part I*, Vol. 68, No. 3, pag. 998-1011, marzo 2021.

[R198] **G. Giustolisi**, **G. Palumbo**, "EFFICIENT DESIGN STRATEGY FOR OPTIMIZING THE SETTLING TIME IN THREE-STAGE AMPLIFIERS INCLUDING SMALL- AND LARGE-SIGNAL BEHAVIOR", *Electronics*, Vol. 10, No. 5, marzo 2021.

[R199] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "A MEMORY-TARGETED DYNAMIC RECONFIGURABLE CHARGE PUMP TO ACHIEVE A POWER CONSUMPTION REDUCTION IN IOT NODES", *IEEE Access*, Vol. 9, pp. 41958- 41964, marzo 2021.

[R200] **F. Centurelli**, **G. Scotti**, **G. Palumbo**, "A VERY LOW VOLTAGE FREQUENCY DIVIDER IN FOLDED MOS CURRENT MODE LOGIC WITH COMPLEMENTARY N- AND P-TYPE FLIP-FLOPS", *IEEE Trans. on VLSI*, Vol. 29, No. 5, pag. 998-1008, maggio 2021.

[R201] **G. Giustolisi**, **G. Palumbo**, "A GM/I_D BASED DESIGN STRATEGY FOR IOT AND ULTRA-LOW-POWER OTAS WITH FAST-SETTLING AND LARGE CAPACITIVE LOADS", in print on *Journal of Low Power Electronics and Application (JLPEA),* Vol. 11, No. 2, May 2021.

[R202] **F. Centurelli**, **G. Scotti**, **G. Palumbo**, "0.5-V FREQUENCY DIVIDERS IN FOLDED MCML EXPLOITING FORWARD BODY BIAS: ANALYSIS AND COMPARISON", *Electronics*, Vol. 10, No. 12, giugno 2021.

[R203] **G. Giustolisi**, **P. Finocchiaro**, **A. Pappalardo**, **G. Palumbo**, "BEHAVIORAL MODEL OF SILICON PHOTO-MULTIPLIERS SUITABLE FOR TRANSISTOR-LEVEL CIRCUIT SIMULATION", *Electronics*, Vol. 10, No. 13, giugno 2021.

[R204] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, **T. Tanzawa**, "CHARGE PUMPS FOR ULTRA-LOW-POWER APPLICATIONS: ANALYSIS, DESIGN AND NEW SOLUTIONS", *IEEE Trans. on CAS part II*, Vol. 68, No. 8, pag. 2895-2901, agosto 2021.

[R205] **G. Palumbo**, **G. Scotti**, "A NOVEL STANDARD-CELL-BASED IMPLEMENTATION OF THE DIGITAL OTA SUITABLE FOR AUTOMATIC PLACE AND ROUTE", *Journal of Low Power Electronics and Applications (JLPEA)*, Vol. 11, No. 4, ottobre 2021.

[R206] **H. Aminzadeh**, **A. D. Grasso**, **G. Palumbo**, "A METHODOLOGY TO DERIVE A SYMBOLIC TRANSFER FUNCTION FOR MULTISTAGE AMPLIFIERS", *IEEE Access*, Vol. 10, pag. 14062- 14075, febbraio 2022.

[R207] **F. Guerrero**, **E. Spinelli**, **A. D. Grasso**, **G. Palumbo**, "A DOUBLE-DIFFERENTIAL AMPLIFIER FOR SEMG MEASUREMENT BY MEANS OF A CURRENT-MODE APPROACH", *IEEE Access*, Vol. 10, pag. 45870-45880, maggio 2022.

[R208] **A. D. Grasso**, **D. Marano**, **G. Palumbo**, **S. Pennisi**, "SINGLE MILLER CAPACITOR FREQUENCY COMPENSATION TECHNIQUES: THEORETICAL COMPARISON AND CRITICAL REVIEW", *International Journal of Circuit Theory and Applications*, Vol. 50, No. 5, pag. 1462-1486, maggio 2022.

[R209] **J. Beloso-Legarra**, **A. D. Grasso**, **A.J. Lopez-Martin**, **G. Palumbo**, , **S. Pennisi**, "TWO-STAGE OTA WITH ALL SUBTHRESHOLD MOSFETS AND OPTIMUM GBW TO DC-CURRENT RATIO", *IEEE Trans. on CAS part II*, Vol. 6, No. 7, pag. 3154-3158, luglio 2022.

[R210] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "SIGNAL AMPLIFICATION BY MEANS OF A DICKSON CHARGE PUMP: ANALYSIS AND EXPERIMENTAL VALIDATION", *Chips*, Vol. 1, No. 2, pag. 72-82, luglio 2022.

[R211] **G. Giustolisi**, **Palumbo** "ANALYSIS AND COMPARISON IN THE ENERGY-DELAY SPACE OF NANOMETER CMOS ONE-BIT FULL-ADDERS", *IEEE Access*, Vol. 10, pag. 75482- 75494, luglio 2022.

[R212] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "THE DICKSON CHARGE PUMP AS A SIGNAL AMPLIFIER", *IEEE Trans. on CAS part I*, Vol. 69, No. 9, pag. 3476-3489, settembre 2022.

[R213] **G. Giustolisi**, **D. Mita**, **G. Palumbo**, **G. Scotti** "A NOVEL CLOCK GATING APPROACH FOR THE DESIGN OF LOW-POWER LINEAR FEEDBACK SHIFT REGISTERS", *IEEE Access*, Vol. 10, pag. 99702-99708, settembre 2022.

[R214] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "A BULK CURRENT REGULATION TECHNIQUE FOR DUAL-BRANCH CROSS-COUPLED CHARGE PUMPS", *IEEE Trans. on CAS part II*, Vol. 69, No.10, pag. 4128-4132, ottobre 2022.

[R215] **G. Giustolisi**, **G. Palumbo**, "HYBRID FULL ADDERS: OPTIMIZED DESIGN, CRITICAL REVIEW AND COMPARISON IN THE ENERGY-DELAY SPACE", *Electronics*, Vol. 11, No. 19, ottobre 2022.

[R216] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, **T. Tanzawa**, "A CHARGE LOSS AWARE ADVANCED MODEL OF DICKSON VOLTAGE MULTIPLIERS", *IEEE Access*, Vol. 10, pag. 118082-118092, novembre 2022.

[R217] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "VERY-LOW-VOLTAGE CHARGE PUMP TOPOLOGIES FOR IOT APPLICATIONS", *IEEE Trans. on CAS part I*, Vol. 70, No. 6, pag. 2283-2292, giugno 2023.

[R218] **G. Giustolisi**, **G. Scotti**, **G. Palumbo**, "SIMPLE AND ACCURATE MODEL FOR THE PROPAGATION DELAY IN MCML GATES", *Electronics*, Vol. 12, No. 12, giugno 2023.

[R219] **R. Della Sala**, **F. Centurelli**, **G. Scotti**, **G. Palumbo**, "STANDARD CELL BASED COMPARATORS FOR ULTRA-LOW VOLTAGE APPLICATIONS: ANALYSIS AND COMPARISON", *Chips*, Vol. 2, No. 3, pag. 173-194, agosto 2023.

[R220] **R. Della Sala**, **F. Centurelli**, **G. Scotti**, **G. Palumbo**, "RAIL TO RAIL ICMR AND HIGH PERFORMANCE ULV STANDARD-CELL-BASED COMPARATOR FOR BIOMEDICAL AND IOT APPLICATIONS", *IEEE Access*, Vol. 12, pag. 4642-4659, gennaio 2024.

[R221] **F. Guerrero**, **V. Catacora**, **A. D. Grasso**, **G. Palumbo**, "MULTI-ELECTRODE EMG SPATIAL-FILTER IMPLEMENTATION BASED ON CURRENT CONVEYORS", *Electronics*, Vol. 13, No. 9, maggio 2024.

[R222] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "A CURRENT-EFFICIENT PSEUDO-3D REGULATED DICKSON CHARGE PUMP", *IEEE Trans. on Power Electronics*, Vol. 39, No. 8, pag. 9878-9890, agosto 2024.

[R223] **A. Manno**, **G. Scotti**, **G. Palumbo**, "DESIGN OF ULTRA-LOW-POWER RAIL-TO-RAIL INPUT COMMON MODE RANGE STANDARD-CELL-BASED COMPARATORS", *Journal of Low Power Electronics and Applications (JLPEA)*, Vol. 15, No. 1, marzo 2025.

[R224] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "CAPACITANCE DISTRIBUTION IN CHARGE PUMPS WITH CAPACITIVE LOAD TO REDUCE AREA AND INPUT ENERGY", *IEEE Trans. on Power Electronics*, Vol. 40, No. 9, pag. 13991-13999, settembre 2025.

[R225] **A. Manno**, **G. Scotti**, **G. Palumbo**, "PSEUDO-DYNAMIC AOI AND OAI STANDARD-CELL-BASED COMPARATORS", *EEE Trans. on CAS part I*, Vol. 37, No. 4, pag. 2307-2319, aprile 2026.

[R226] **A. Manno**, **G. Palumbo**, "SIMPLE KEEPER STRATEGIES FOR DOMINO LOGIC GATES", *Electronics*, Vol. 15, No. 8, aprile 2026.

[R227] **H. Aminzadeh**, **A. R. Ghasemi**, **G. Palumbo**, "POWER-EFFICIENT CROSS-COUPLED PRE-AMPLIFIER STAGE FOR DOUBLE-TAIL DYNAMIC COMPARATORS", *IEEE Access*, , Vol. 14, pp. 109508-109520, 2026.

[R228] **C. Caruso**, **A. D. Grasso**, **F. N. Guerrero**, **G. Palumbo**, "A CURRENT CONVEYOR IMPLEMENTATION OF DOUBLE DIFFERENTIAL AMPLIFIER FOR ACTIVE ELECTRODES", *International Journal of Circuit Theory and Applications*, Vol. 54, No. 11, pag. 5019-5029, ottobre 2026.

Pubblicazioni su atti di congressi internazionali

[C1] **G. Di Cataldo, G. Palumbo**, "ANALOG CIRCUIT APPROACH USING THE PREDICATE CALCULUS", *EIASTED EXPERT SYSTEM '89*, Zurigo, pag. 245-247, giugno 1989.

[C2] **G. Di Cataldo, G. Palumbo**, "A SOFTWARE ENVIRONMENT FOR EXPERT CAD", IEEE VIø ISYNT, *International Symposium on Networks, Systems and Signal Processing*, Zagabria, pag. 213-215 giugno 1989.

[C3] **G. Di Cataldo, G. Nunnari, G. Palumbo, S. Sueri**, "AN EXPERT CAD FOR INTEGRATED CIRCUIT", *International Symposium on Signal, System and Electronics ISSSE '89*, Erlangen, pag. 625-628, settembre 1989.

[C4] **G. Di Cataldo, G. Nunnari, G. Palumbo**, "SOME REMARKS ON THE IMPLEMENTATION OF AN ELECTRICAL EXPERT CAD", *International Symposium on CAD & CAM PPPR*, Zagabria, pag. 441-447, ottobre 1989.

[C5] **G. Di Cataldo, G. Palumbo**, "A NEURAL A/D CONVERTER UTILIZING SCHMITT TRIGGER", *IEEE ISCAS'90*, New Orleans, pag. 1078-1081, maggio 1990.

[C6] **G. Di Cataldo, G. Palumbo**, "A MODIFIED HOPFIELD NEURAL NETWORK TO ALLOW A SPEED A/D CONVERTER", *IEEE COMPEURO'91*, Bologna, pag 831-834, maggio 1991.

[C7] **G. Di Cataldo, G. Palumbo**, "THE SEMI-FLASH A/D CONVERTER", *IEEE ISCAS'91*, Singapore, pag. 1530-1532, giugno 1991.

[C8] **A. Di Stefano, O. Mirabella, G. Di Cataldo, G. Palumbo**, "ON THE USE OF NEURAL NETWORK FOR HAMMING CODING", *IEEE ISCAS'91*, Singapore, pag 1601-1604, giugno 1991.

[C9] **G. Di Cataldo, G. Palumbo**, "DOUBLE AND TRIPLE CHARGE PUMP DESIGN", *IEEE ICCAS'91*, Shenzhen, pag. 625-627, giugno 1991.

[C10] **G. Di Cataldo, G. Palumbo, M. Zisa, M. Paparo**, "DOUBLE AND TRIPLE CHARGE PUMP CIRCUIT FOR A SMART POWER DEVICE", *ECCTD'91*, Copenhagen, pag. 1029-1039, settembre 1991.

[C11] **G. Di Cataldo, G. Palumbo**, "NEW CMOS SCHMITT TRIGGERS", *IEEE ISCAS'92*, San Diego, pag. 1292-1295, maggio 1992.

[C12] **G. Di Cataldo, G. Palumbo**, "CURRENT LEAKAGE AND PARASITIC CAPACITANCE IN TRANSIENT SECOND AND TRIPLE ORDER COCKCROFT-WALTON VOLTAGE MULTIPLIER", *IEEE 35 Midwest Symposium on Circuits and Systems*, Washington, pag. 722-725, agosto 1992.

[C13] **G. Di Cataldo, G. Palumbo**, "ANALOG CELLS FOR AUTOMOTIVE POWER IC DEVICES" *7th PRO-CHIP Workshop*, TH Darmstat, pag. 113-116, novembre 1992.

[C14] **V. F. Dias, G. Di Cataldo, G. Palmisano, G. Palumbo**, "GAIN-COMPENSATED SWITCHED-CAPACITOR INTEGRATOR BASED ON A FOUR-INPUT OPERATIONAL AMPLIFIER", *IEEE 36° Midwest Symposium on Circuits and Systems*, Detroit,pag. 918-921, agosto 1993.

[C15] **G. Di Cataldo, G. Palmisano, G. Palumbo**, "LOW AREA ACCURATE CMOS CURRENT SCHMITT TRIGGER", *ECCTD'93*, Davos, pag. 1223-1226, settembre 1993.

[C16] **G. Di Cataldo, G. Palumbo**, "DYNAMIC ANALYSIS OF 3 STAGE DICKSON VOLTAGE MULTIPLIER", *MELECON'94*, Ankara, pag. 633-636, aprile 1994.

[C17] **G. Palumbo**, "ON THE HIGH-FREQUENCY RESPONSE OF CMOS CASCODE CURRENT MIRROR", *MELECON'94*, Ankara, pag. 1211-1214, aprile 1994.

[C18] **G. Di Cataldo, G. Palmisano, G. Palumbo**, "NEW SAMPLE-AND-HOLD FOR HIGH FREQUENCY APPLICATIONS", *MELECON'94*, Ankara, pag. 533-536, aprile 1994.

[C19] **G. Palmisano, G. Palumbo, S. Pennisi**, "A HIGH-ACCURACY HIGH-SPEED CMOS CURRENT COMPARATOR", *IEEE ISCAS'94*, Londra, pag. 739-742, maggio 1994.

[C20] **G. Di Cataldo, G. Palumbo**, "OPTIMIZED DESIGN OF 4 STAGE DICKSON VOLTAGE MULTIPLIER", *IEEE ISCAS'94*, Londra, pag. 693-696, maggio 1994.

[C21] **G. Palumbo**, "DESIGN OF THE WILSON AND IMPROVED WILSON MOS CURRENT MIRRORS TO REACH THE BEST SETTLING TIME", *IEEE ISCAS'94*, Londra, pag.413-416, maggio 1994.

[C22] **G. Cali, G. Palmisano, G. Palumbo, N. Aiello**, "DESIGN OF CURRENT LIMITER FOR A SMART POWER IC", *ISPSD'94*, Davos, pag. 323-327, maggio 1994.

[C23] **G. Di Cataldo, G. Palmisano, G. Palumbo, S. Pennisi**, "AN ACCURATE OFFSET-COMPENSATED CURRENT COMPARATOR", *IEEE 37° Midwest Symposium on Circuits and Systems*, Lafayette, pag. 1107-1110, agosto 1994.

[C24] **G. Palmisano, G. Palumbo, S. Pennisi**, "A CMOS OPERATIONAL FLOATING CONVEYOR", *IEEE 37° Midwest Symposium on Circuits and Systems*, Lafayette, pag.1289-1292, agosto 1994.

[C25] **G. Di Cataldo, G. Palmisano, G. Palumbo**, "A CMOS CCII+", *IEEE ISCAS'95*, Seattle, pag. 315-318, maggio 1995.

[C26] **G. Palmisano, G. Palumbo** "AN OPTIMIZED MILLER COMPENSATION BASED ON VOLTAGE BUFFER", *IEEE 38° Midwest Symposium on Circuits and Systems*, Rio de Jaineiro, pag. 1034-1037, agosto 1995.

[C27] **G. Palmisano, G. Palumbo** "AN OFFSET COMPENSATED FULLY DIFFERENTIAL CMOS CURRENT COMPARATOR", *IEEE 38° Midwest Symposium on Circuits and Systems*, Rio de Jaineiro, pag. 1038-1041, agosto 1995.

[C28] **G. Di Cataldo, G. Palumbo**, "N-TH ORDER DICKSON VOLTAGE MULTIPLIER: A DYNAMIC MODEL", *ECCTD'95*, Istanbul, pag. 843-846, agosto 1995.

[C29] **G. Palmisano, G. Palumbo, S. Pennisi**, "A HIGH ACCURACY CMOS CCII+", *MELECON'96*, Bari, pag. 1291-1293, maggio 1996.

[C30] **G. Palmisano, G. Palumbo**, "AN OPTIMIZED MILLER COMPENSATION BASED ON CURRENT BUFFER", *MIXDES'96*, Lodz, pag. 336-341, maggio 1996.

[C31] **G. Di Catataldo, G. Palmisano, G. Palumbo, S. Pennisi**, "A CMOS CURRENT AMPLIFIER", *MIXDES'96*, Lodz, pag. 342-347, maggio 1996.

[C32] **G. Di Cataldo, V. Liberali, F. Maloberti, G. Palumbo**, "A/D CONVERSION WITH FUZZY MEMBERSHIP FUNCTION", *EUSIPCO-96*, Trieste, pag. 1279-1282, settembre 1996.

[C33] **G. Palmisano, G. Palumbo**, "SIMPLIFIED MODEL OF AN AMPLIFIER WITH TWO POLES AND A POLE-ZERO DOUBLET", *ICECS'96*, Rodos, pag. 124-127, ottobre 1996.

[C34] **G. Palmisano, G. Palumbo, S. Pennisi**, "LOW HARMONIC DISTORTION CLASS AB CMOS CURRENT OUTPUT STAGE", *ICECS'96*, Rodos, pag. 5-8, ottobre 1996.

[C35] **G. Giustolisi, G. Palmisano, G. Palumbo**, "A NOVEL CMOS VOLTAGE SQUARER", *ISCAS'97*, Hong-Kong, pag. 253-256, giugno 1997.

[C36] **G. Palmisano, G. Palumbo, S. Pennisi**, "A CMOS TRANSRESISTANCE CURRENT AMPLIFIER", *ISCAS'97*, Hong-Kong, pag. 1960-1963, giugno 1997.

[C37] **G. Palmisano, G. Palumbo**, "CLOCK BOOSTER FOR 1.2-V SC CIRCUITS", *ISCAS'97*, Hong-Kong, pag. 2012-2015, giugno 1997.

[C38] **G. Giustolisi, G. Palmisano, G. Palumbo**, "FREQUENCY BEHAVIOUR OF CMRR IN ONE-STAGE CMOS OTA", *MIXDES'97*, pag. 377-382, giugno 1997.

[C39] **G. Palmisano, G. Palumbo, S. Pennisi**, "WELL-DEFINED STRATEGY TO DESIGN A TWO-STAGE CMOS OTA", *MIXDES'97*, pag. 407-412, giugno 1997.

[C40] **G. Giustolisi, G. Palmisano, G. Palumbo, S. Pennisi**, "HIGH-DRIVE CMOS CURRENT-FEEDBACK OPAMP", *MWSCAS'97*, Los Angeles, pag. 229-232,agosto 1997.

[C41] **G. Palumbo**, (invitato) "CURRENT FEEDBACK AMPLIFIER: STABILITY AND COMPENSATION" *MWSCAS'97*, Los Angeles, pag. 249-252, agosto 1997.

[C42] **G. Giustolisi, G. Palumbo**, "A NOVEL HIGH-SPEED CASCODE CURRENT MIRROR COMPENSATION", *ECCTD'97*, Budapest, pag. 1442-1445, settembre 1997.

[C43] **G. Palumbo, J. Choma, Jr.**, (invited) "AN OVERVIEW OF ANALOG FEEDBACK: BASIC THEORY", *ECCTD'97 (Design Automation Day)*, Budapest, pag. 121-154, Sept.1997.

[C44] **G. Palmisano, G. Palumbo, R. Salerno**, "A NOVEL 1.5-V CMOS OPERATIONAL AMPLIFIER", *ESSCIRC'97*, Southampton, pag. 316-319, settembre 1997.

[C45] **G. Palmisano, G. Palumbo, S. Pennisi**, "A NOVEL CMOS CURRENT-MODE POWER AMPLIFIER", *Proc. Workshop on Analog and Mixed IC Design*, Baveno, pag. 83-86, settembre 1997.

[C46] **M. Alioto, G. Palumbo**, "NOVEL SIMPLE MODELS OF CML PROPAGATION DELAY", *IEEE Proc. GLS VLSI'98*, Lafayette, pag. 270-274, febbraio 1998.

[C47] **G. Giustolisi**, **G. Palmisano, G. Palumbo, C. Strano**, "A NOVEL 1.5-V CMOS MIXER", *IEEE Proc. GLS VLSI'98*, Lafayette, pag. 113-117, febbraio 1998.

[C48] **G. Palmisano, G. Palumbo, S. Pennisi**, "A HIGH-DRIVE HIGH-GAIN CMOS CURRENT OPERATIONAL AMPLIFIER", *IEEE ISCAS'98*, Montery, giugno 1998.

[C49] **P. Filoramo, G. Giustolisi**, **G. Palmisano, G. Palumbo**, "AN APPROACH TO THE DESIGN OF LOW-VOLTAGE SC FILTER", *IEEE ISCAS'98*, Montery, giugno 1998.

[C50] **G. Palumbo, S. Pennisi**, "A SIMPLE DESIGN STRATEGY FOR NESTED MILLER COMPENSATION", *MIXDES'98*, Lodz, pag. 255-258, giugno 1998.

[C51] **M. Alioto, G. Di Cataldo, G. Palumbo**, "GENERAL AND SIMPLE MODEL OF THE PROPAGATION DELAY OF EMITTER FOLLOWER STAGE", *MIXDES'98*, Lodz, pag. 121-124, giugno 1998.

[C52] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "A 1.5 CMOS VOLTAGE MULTIPLIER", *ICEC'98*, Lisboa, pag. 313-316, settembre 1998.

[C53] **G. Palumbo, S. Pennisi**, "A HIGH-PERFORMANCE CMOS VOLTAGE FOLLOWER", *ICEC'98*, Lisboa, pag. 279-282, settembre 1998.

[C54] **G. Palumbo, S. Pennisi**, "A TECHNIQUE FOR THE REDUCTION OF THE INPUT RESISTANCE OF CURRENT-MODE CIRCUITS", *ICEC'98*, Lisboa, pag. 21-24, settembre 1998.

[C55] **M. Alioto**, **G. Palumbo**, "DESIGN OF CML GATE WITH THE BEST PROPAGATION DELAY", *ICEC'98*, Lisboa, pag. 287-290, settembre 1998.

[C56] **G. Giustolisi**, **G. Palumbo**, "A NOVEL METHOD FOR DETERMINING OPEN LOOP PARAMETERS IN FEEDBACK AMPLIFIERS," *IEEE IMTC'99*, Venezia, pag. 531-534, maggio, 1999.

[C57] **G. Palumbo, S. Pennisi**, "FILTER CIRCUITS SYNTHESIS WITH CFOA-BASED DIFFERENTIATOR," *IEEE IMTC'99*, Venezia, pag. 546-550, maggio 1999.

[C58] **G. Palumbo, S. Pennisi**, (premiato come migliore lavoro) "NOISE PERFORMANCE OF CURRENT-FEEDBACK OPERATIONAL AMPLIFIERS", *MIXDES'99*, Kracovia, pag. 217-222, giugno 1999.

[C59] **G. Palumbo, S. Pennisi**, "CURRENT FEEDBACK AMPLIFIER VERSUS VOLTAGE OPERATIONAL AMPLIFIER", *MIXDES'99*, Kracovia, pag. 177-182, giugno 1999.

[C60] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "ANALOG FUZZY CONTROLLER IN SC TECHNIQUE", *CSCC'99*, Athene, luglio 1999, stampato su *Computer and Computational Engieering in Control*, World Scientific Publisher, 1999.

[C61] **S. Cavalieri, O. Mirabella, N. Busà, G. Palumbo**, "VLSI IC OF IEC/ISA DATA LINK LAYER FIELDBUS", *ISIE'99*, Bled, pag. 1410-1414, luglio, 1999.

[C62] **M. Alioto, G. Palumbo**, "ADIABATIC GATES: A CRITICAL POINT OF VIEW", *ECCTD'99*, Stresa, pag. 129-132, settembre 1999.

[C63] **M. Alioto, G. Palumbo**, "COMPARISON ON CMOS FULL ADDERS IN DIFFERENT DESIGN STYLES WITH EMPHASIS ON LOW-POWER TOPOLOGIES", *ECCTD'99*, Stresa, pag. 519-522, settembre 1999.

[C64] **G. Giustolisi, G. Palumbo, S. Pennisi**, "A FUZZY A/D CONVERTER BY MEANS OF CURRENT-MODE APPROACH", *ECCTD'99*, Stresa, pag. 987-990, settembre 1999.

[C65] **G. Palumbo**, **R. Ursino – D. Torrisi**, "A GENERAL HDL-A MODEL OF A DC-DC SWITCHING REGULATOR CORE ", *ICEC'99*, Rodi, pag. 1663-1666, settembre 1999.

[C66] **G. Palmisano, G. Palumbo, S. Pennisi**, "PERFORMANCE PARAMETERS OF CURRENT OPERATIONAL AMPIFIERS", *ICEC'99*, Rodi, pag. 1615-1618, settembre 1999.

[C67] **G. Palumbo, S. Pennisi**, "A CLASS AB CMOS CURRENT MIRROR WITH LOW-VOLTAGE CAPABILITY ", *ICEC'99*, Rodi, pag. 891-894, settembre 1999.

[C68] **P. De Laurentiis**, **G. Ferri, G. Palumbo**, **S. Pennisi** "A LOW-PASS 1-HZ 2V-SUPPLY CURRENT CONVEYOR-BASED FILTER" *ECS'99*, Bratislava, settembre 1999.

[C69] **G. Palumbo, S. Pennisi**, "DESIGN GUIDELINES FOR OPTIMIZED NESTED MILLER COMPENSATION", *SSMSD'00*, S. Diego, pag. 97-102, febbraio 2000.

[C70] **M. Brancifortie, G. Giustolisi**, **V. Nicotra, G. Palumbo**, "VLSI IMPLEMENTATION OF A DOUBLE-LAYER SINGLE CELL RD-CNN FOR MOTION CONTROl", *6° IEEE International Workshop Cellular Neural Network and its Applications*, Catania, pag. 333-338, maggio 2000.

[C71] **M. Alioto, G. Palumbo**, "HIGH-SPEED BIPOLAR MUX MODELING AND DESIGN", *IEEE ISCAS 2000*, Geneva, Vol. V, pag. 1-4, maggio 2000.

[C72] **M. Alioto, G. Palumbo**, " EVALUATION OF POWER CONSUMPTION IN ADIABATIC CIRCUITS", *IEEE ISCAS 2000*, Geneva, Vol. II, pag. 629-632, maggio 2000.

[C73] **G. Giustolisi**, **G. Palmisano, G. Palumbo**, "A FUZZY MEMBERSHIP FUNCTION CIRCUIT IN SC TECHNIQUE", *IEEE ISCAS 2000*, Geneva, Vol. V, pag. 393-396, maggio 2000.

[C74] **R. Mita, G. Palumbo, S. Pennisi**, "A LOW VOLTAGE CMOS CLASS AB CCII+", *MIXDES'00*, Gdynia, pag. 151-154, giugno 2000.

[C75] **R. Mita, G. Palumbo**, "IRDA WRAPPING: AN HARDWARE SOLUTION", *MIXDES'00*, Gdynia, pag. 571-574, giugno 2000.

[C76] **G. Giustolisi, G. Palumbo, S. Pennisi**, "POWER SUPPLY REJECTION OF WIDLAR BANDGAP VOLTAGE REFERENCE", *MIXDES'00*, Gdynia, pag. 271-274, giugno 2000.

[C77] **M. Alioto, G. Palumbo**, "POWER CONSUMPTION OF ADIABATIC AND CONVENTIONAL GATES VERSUS FAN IN", *PATMOS 2000*, Gottingen, pag. 265-275, settembre 2000.

[C78] **R. Mita, G. Palumbo, S. Pennisi**, "REVERSED NESTED MILLER COMPENSATION WITH CURRENT FOLLOWER", *IEEE ISCAS 2001*, Sydnei, pag. I308-I311, maggio 2001.

[C79] **G. Giustolisi, G. Palumbo**, "DETAILED FREQUENCY ANALYSIS OF POWER SUPPLY REJECTION IN BROKAW BANDGAP", *IEEE ISCAS 2001*, Sydnei, pag. I731-I734, maggio 2001.

[C80] **G. Palumbo, D. Pappalardo**, **M. Gaibotti**, "MODELING AND MINIMIZATION OF POWER CONSUMPTION IN CHARGE PUMP CIRCUITS", *IEEE ISCAS 2001*, Sydnei, pag. IV402-IV405, maggio 2001.

[C81] **M. Alioto**, **G. Di Cataldo**, **G. Palumbo**, "CML RING OSCILLATORS: OSCILLATION FREQUENCY", *IEEE ISCAS 2001*, Sydnei, pag. IV112-IV115, maggio 2001.

[C82] **R. Mita, G. Palumbo**, "CLOCK RECOVERY FOR ASYNCHRONOUS TRANSMISSION: FPGA BASED SOLUTIONS", *IEEE SCS'01*, Iasi, pag. 141-144, luglio 2001.

[C83] **I. Boccuni**, **R. Gulino**, **G. Palumbo**, "BEHAVIORAL MODELS OF CHARGE PUMPS FOR NONVOLATILE MEMORIES", *IEEE SCS'01*, Iasi, pag. 97-100, luglio 2001.

[C84] **V. Mastrocola**, **G. Palumbo**, **P. Kumar**, **F. Pipitone**, **G. Introvaia**, "BUILT-IN SELF-TEST FOR LOW COST TESTING OF A 60MHZ SYNCHRONOUS FLASH MEMORY", *Intenational On Line Testing Workshop*, Taormina, pag. 192-196, luglio 2001.

[C85] **I. Boccuni**, **R. Gulino**, **G. Palumbo**, "VHDL-AMS MODEL OF SENSE AMPLIFIER FOR FLASH MEMORIES", *ECCTD'01*, Helsinki, pag. II/125-II/128, agosto 2001.

[C86] **M. Alioto, G. Palumbo**, "OPTIMIZED DESIGN OF CARRY-BYPASS ADDERS", *ECCTD'01*, Helsinki, pag. II/245-II/248, agosto 2001.

[C87] **M. Alioto, G. Palumbo, S. Pennisi**, "PREDICTING PROPAGATION DELAY IN SCL GATES", *ECCTD'01*, Helsinki, pag. III/209-III/212, agosto 2001.

[C88] **G. Palumbo, S. Pennisi**, "FEEDBACK AMPLIFIERS: A SIMPLIFIED ANALYSIS OF HARMONIC DISTORTION IN THE FREQUENCY DOMAIN", *ICECS'01*, Malta, pag. 209-212, settembre 2001.

[C89] **M. Alioto, G. Palumbo, S. Pennisi**, "DELAY ESTIMATION OF SCL GATES WITH OUTPUT BUFFER", *ICECS'01*, Malta, pag. 719-722, settembre 2001.

[C90] **M. Alioto, G. Palumbo**, "OPTIMIZED DESIGN OF HIGH FAN-IN MULTIPLEXERS USING SWITCHES WITH DRIVING CAPABILITY", *ICECS'01*, Malta, pag. 737-740, settembre 2001.

[C91] **M. Criscione**, **G. Giustolisi**, **A. Lionetto**, **M. Muscarà**, **G. Palumbo**, "A FUZZY CONTROLLER FOR STEP-UP DC/DC CONVERTERS", *ICECS'01*, Malta, pag. 977-980, settembre 2001.

[C92] **M. Alioto**, **G. Palumbo**, "POWER DELAY TRADE-OFF IN SCL GATES", *IEEE ISCAS 2002*, Phoenix, pag. III249- III251, maggio 2002.

[C93] **G. Giustolisi**, **G. Palumbo**, **S. Pennisi**, "HARMONIC DISTORTION IN SINGLE-STAGE AMPLIFIERS", *IEEE ISCAS 2002*, Phoenix, pag. II33-II36, maggio 2002.

[C94] **G. Di Cataldo**, **R. Mita**, **G. Palumbo**, **S. Pennisi**, "REVERSED NESTED MILLER COMPENSATION WITH VOLTAGE FOLLOWER", *IEEE ISCAS 2002*, Phoenix, II827-II830, maggio 2002.

[C95] **G. Palumbo**, **F. Pappalardo**, **S. Sannella**, "EVALUATION ON POWER REDUCTION APPLYING GATED CLOCK APPROACH", *IEEE ISCAS 2002*, Phoenix, pag. IV85-IV88, maggio 2002.

[C96] **W. Aloisi**, **G. Giustolisi**, **G. Palumbo**, "ANALYSIS AND OPTIMIZATION OF GAIN-BOOSTED TELECSOPIC AMPLIFIERS", *IEEE ISCAS 2002*, Phoenix, pag. I321-I324, maggio 2002.

[C97] **G. Giustolisi**, **G. Palumbo**, "ANALYSIS OF POWER SUPPLY NOISE ATTENUATION IN A PTAT CURRENT SOURCE", *IEEE ISCAS 2002*, Phoenix, pag. I561-I564, maggio 2002.

[C98] **R. Mita, G. Palumbo, S. Pennisi**, "HYBRID NESTED MILLER COMPENSATION WITH NULLING RESISTORS", *ICECS'02*, Dubrovnik, pag. 177-180, settembre 2002.

[C99] **R. Mita, G. Palumbo, S. Pennisi**, "COMPARISON BETWEEN MILLER INTEGRATOR CELLS USING VOAS AND CFOAS", *ICECS'02*, Dubrovnik, pag. 181-184, settembre 2002.

[C100] **G. Giustolisi**, **G. Palumbo**, **S. Pennisi**, "STATISTICAL ANALYSIS OF THE RESOLUTION IN A CURRENT-MODE ADC", *ICECS'02*, Dubrovnik, pag. 5-8, settembre 2002.

[C101] **M. Alioto**, **R. Mita**, **G. Palumbo**, "ANALYSIS AND COMPARISON OF LOW-VOLTAGE CML D-LATCH", *ICECS'02*, Dubrovnik, pag. 737-740, settembre 2002.

[C102] **R. Mita, G. Palumbo, S. Pennisi, M. Poli**, "A NOVEL PSEUDO RANDOM BIT GENERATOR FOR CRYPTOGRAPHY APPLICATIONS", *ICECS'02*, Dubrovnik, pag. 489-492, settembre 2002.

[C103] **G. Palumbo, M. Poli**, "PROPAGATION DELAY MODEL OF CURRENT DRIVEN RC CHAIN", *ICECS'02*, Dubrovnik, pag. 619-622, settembre 2002.

[C104] **L. De Ambroggi, S. Nicosia**, **G. Pagano**, **G. Palumbo**, "AN HIGH-PERFORMANCE BUFFER FOR NON-VOLATILE MEMORIES", *ICECS'02*, Dubrovnik, pag. 611-614, settembre 2002.

[C105] **G. Palumbo, D. Pappalardo**, **M. Gaibotti**, "VOLTAGE REGULATOR BASED ON AN HIGH-EFFICIENCY ADAPTIVE CHARGE PUMP", *ICECS'02*, Dubrovnik, pag. 61-64, settembre 2002.

[C106] **M. Alioto**, **G. Di Cataldo**, **G. Palumbo**, "DESIGN GUIDELINES FOR BIPOLAR FREQUENCY DIVIDERS", *ICECS'02*, Dubrovnik, pag. 521-524, settembre 2002.

[C107] **G. Giustolisi**, **G. Palumbo**, **M. Criscione**, **F. Cutrì**, "A NEW VOLTAGE REFERENCE TOPOLOGY BASED ON SUBTHRESHOLD MOSFETS", *ESSCIRC 2002*, Firenze, pag. 391-394, settembre 2002.

[C108] **R. Mita, G. Palumbo**, **S. Pennisi**, "1.5-V HIGH-DRIVE SECOND GENERATION CURRENT CONVEYOR", *ESSCIRC 2002*, Firenze, pag. 735-738, settembre 2002.

[C109] **M. Gibilaro, G. Notarangelo, G. Palumbo, F. Pappalardo, A. Pennisi**, "LOW POWER STRATEGY FOR A TFT CONTROLLER", *Euromicro Symposium on Digital System Design – DSD'2002*, Dortmund, pag. 351-354, settembre 2002.

[C110] **M. Alioto**, **G. Palumbo**, "MODELING PROPAGATION DELAY OF MUX, XOR AND D-LATCH SOURCE-COUPLED LOGIC GATES", *PATMOS 2002*, Sevilla, pag. 429-437, settembre 2002.

[C111] **M. Alioto**, **G. Palumbo, M. Poli**, "AN APPROACH TO ENERGY CONSUMPTION MODELING IN RC LADDER CIRCUITS", *PATMOS 2002*, Sevilla, pag. 239-246, settembre 2002.

[C112] **R. Mita**, **G. Palumbo**, "MODELING OF PROPAGATION DELAY OF A FIRST ORDER CIRCUIT WITH A RAMP INPUT", *PATMOS 2002*, Sevilla, pag. 468-476, settembre 2002.

[C113] **G. Giustolisi**, **G. Palumbo**, "A NOVEL 1-V CLASS-AB TRANSCONDUCTOR FOR IMPROVING SPEED PERFORMANCE IN SC APPLICATIONS", *IEEE ISCAS 2003*, Bangkok, pag. I153-I156, maggio 2003.

[C114] **W. Aloisi**, **G. Giustolisi**, **G. Palumbo**, "A 1-V CMOS OUTPUT STAGE WITH HIGH LINEARITY", *IEEE ISCAS 2003*, Bangkok, pag. I225-I228, maggio 2003.

[C115] **R. Mita**, **G. Palumbo**, **S. Pennisi**, "PERFORMANCE COMPARISON OF TOW-THOMAS BIQUAD FILTERS BASED ON VOAS AND CFOAS", *IEEE ISCAS 2003*, Bangkok, pag. I525-I528, maggio 2003.

[C116] **M. Alioto**, **G. Palumbo**, "DESIGN OF MUX, XOR AND D-LATCH SCL GATES", *IEEE ISCAS 2003*, Bangkok, pag. V261-V264, maggio 2003.

[C117] **G. Giustolisi**, **G. Palumbo**, "A NEW METHOD FOR EVALUATING HARMONIC DISTORTION IN PUSH-PULL OUTPUT STAGES", *IEEE ISCAS 2003*, Bangkok, pag. I233-I236, maggio 2003.

[C118] **W. Aloisi**, **G. Giustolisi**, **G. Palumbo**, "DESIGN OF LOW-VOLTAGE LOW-POWER SC FILTERS FOR HIGH-FREQUENCY APPLICATIONS", *IEEE ISCAS 2003*, Bangkok, pag. I605-I608, maggio 2003.

[C119] **W. Aloisi**, **C. La Macchia, G. Palumbo**, "EFFICIENCY MODEL OF BOOST DC-DC PWM CONVERTER", *ECCTD'03*, Krakow, pag. II217-II220, settembre 2003.

[C120] **R. Mita, G. Palumbo**, **S. Pennisi**, "HYBRID NESTED MILLER COMPENSATION WITH CURRENT FOLLOWER AND NULLING RESISTOR", *ECCTD'03*, Krakow, pag. I66-I69, settembre 2003.

[C121] **A. D. Grasso, R. Mita, G. Palumbo**, "DIGITAL PSEUDO-RANDOM BIT GENERATORS BASED ON CHAOTIC MAPS", *ECCTD'03*, Krakow, pag. III337-III340, settembre 2003.

[C122] **G. Palumbo**, **S. Pennisi**, "HARMONIC DISTORTION OF NONLINEAR AMPLIFIERS WITH NONLINEAR FEEDBACK IN THE FREQUENCY DOMAIN", *ECCTD'03*, Krakow, pag. III321-III324, settembre 2003.

[C123] **A. Buonomo**, **A. Lo Schiavo, G. Palumbo**, **S. Pennisi**, "DISTORTION ANALYSIS OF NONLINEAR AMPLIFIERS", *ECCTD'03*, Krakow, pag. III329-III332, settembre 2003.

[C124] **G. Di Cataldo**, **R. Mita, G. Palumbo**, "GATED CLOCK APPROACH FOR LOW-POWER PSEUDO RANDOM BIT GENERATORS", *ECCTD'03*, Krakow, pag. I153-I156, settembre 2003.

[C125] **M. Aioto, G. Palumbo**, "MIXED LOGIC STYLE FOR HIGH-SPEED LOW-POWER ARITHMETIC CIRCUITS", *ECCTD'03*, Krakow, pag. II101-II104, settembre 2003.

[C126] **M. Aioto, G. Palumbo**, "A DELAY MODEL OF CML GATES VALID UNDER HIGH-CURRENT EFFECTS", *MIDWEST'03*, Cairo, dicembre 2003.

[C127] **G. Palumbo**, **S. Pennisi**, "HARMONIC DISTORTION IN THREE-STAGE NESTED-MILLER-COMPENSATED AMPLIFIRES", *IEEE ISCAS 2004*, Vancouver, pag. I485-I488, maggio 2004.

[C128] **W. Aloisi**, **S. M. Billè**, **G. Palumbo**, "LOW-VOLTAGE LINEAR VOLTAGE REGULATOR SUITABLE FOR MEMORIES", *IEEE ISCAS 2004*, Vancouver, pag. I389-I392, maggio 2004.

[C129] **M. Alioto**, **G. Palumbo, M. Poli**, "A GATE-LEVEL STRATEGY TO DESIGN CARRY SELECT ADDERS", *IEEE ISCAS 2004*, Vancouver, pag. II465-II468, maggio 2004.

[C130] **G. Giustolisi**, **G. Palumbo**, "SIGMA-DELTA A/D FUZZY CONVERTER", *IEEE ISCAS 2004*, Vancouver, pag. V677-V680, maggio 2004.

[C131] **M. Alioto**, **G. Palumbo, M. Poli**, "A SIMPLE MODEL OF ENERGY CONSUMPTION FOR RC LADDER NETWORKS DRIVEN BY AN EXPONENTIAL INPUT", *MIXDES'04*, Szczecin, pag. 315-318, giugno 2004.

[C132] **A. Conte**, **G. Lo Giudice**, **G. Palumbo, A. Signorello**, "A 1.35-V SENSE AMPLIFIER FOR NON VOLATILE MEMORIES BASED ON CURRENT MODE APPROACH", *ESSCIRC 2004*, Leuven, pag. 471-474, settembre 2004.

[C133] **A. D. Grasso, R. Mita, G. Palumbo**, "FPGA-BASED IMPLEMENTATION OF CT AND DT MULTI-LAYER CNN", *ICSES'04*, Poznan, pag. 317-320, settembre 2004.

[C134] **R. Mita, G. Palumbo**, "VHDL-BASED DESCRIPTION OF BIQUAD FILTERS", *ICSES'04*, Poznan, pag. 337-340, settembre 2004.

[C135] **R. Mita, G. Palumbo, S. Cavalieri, A. Palumbo**, "HARDWARE IMPLEMENTATION OF A FAULT RECOVERY PROTOCOL COMPLIANT WITH INTERBUS-S STANDARD", *IECON 2004*, Busan, November 2004.

[C136] **R. Mita, G. Palumbo**, **S. Pennisi**, "WELL-DEFINED DESIGN PROCEDURE FOR A THREE-STAGE CMOS OTA", *ISCAS'05*, Kobe, pag. 2579-2582, maggio 2005.

[C137] **M. Alioto**, **G. Palumbo**, "DESIGN TECHNIQUES FOR LOW-POWER CASCADED CML GATES", *ISCAS'05*, Kobe, pag. 4685-4688, maggio 2005.

[C138] **G. Palumbo, P. Tommasino**, **A. Trifiletti**, "OPTIMIZED DESIGN OF SOURCE COUPLED LOGIC GATES IN GAAS HEMT TECHNOLOGY", *ISCAS'05*, Kobe, pag. 3583-3586, maggio 2005.

[C139] **O. Cannizzaro, G. Palumbo, S. Pennisi**, "NEW ANALYTICAL APPROACH TO EVALUATE HARMONIC DISTORTION IN NONLINEAR FEEDBACK AMPLIFIERS", *ECCTD'05*, Cork, n. 058, settembre 2005.

[C140] **G. Giustolisi, G. Palumbo, M. Gaibotti, M. Pisasale**, "STATISTICAL ANALYSIS OF CMOS CURRENT REFERENCE", *ECCTD'05*, Cork, n. 074, settembre 2005.

[C141] **A. D. Grasso, G. Palumbo**, "OPTIMIZED DESIGN OF ECL GATES WITH A POWER CONSTRAINT", *ECCTD'05*, Cork, n. 052, settembre 2005.

[C142] **W. Aloisi, G. Giustolisi, G. Palumbo**, "GUIDELINES FOR DESIGNING CLASS-AB OUTPUT STAGES", *ECCTD'05*, Cork, n. 075, settembre 2005.

[C143] **R. Mita, G. Palumbo, G. Fallica**, "A FAST ACTIVE QUENCHING AND RECHARGING CIRCUIT FOR SINGLE-PHOTON AVALANCHE DIODES", *ECCTD'05*, Cork, n. 232, settembre 2005.

[C144] **O. Cannizzaro , G. Palumbo, S. Pennisi**, "DISTORTION ANALYSIS OF THREE-STAGE AMPLIFIERS WITH REVERSED NESTED-MILLER COMPENSATION", *ECCTD'05*, Cork, n. 057, settembre 2005.

[C145] **R. Mita, G. Palumbo**, "DIGITAL INTERFACE FOR SINGLE PHOTON AVALANCHE DIODES", *ECS 2005*, Bratislava, pag. 177-180, settembre 2005.

[C146] **M. Alioto**, **G. Palumbo, M. Poli**, "ENERGY CONSUMPTION IN RC TREE CIRCUITS WITH EXPONENTIAL INPUTS: AN ANALYTICAL MODEL", *PATMOS'05*, pag. 355-363, Leuven (Belgium), settembre 2005.

[C147] **G. Palumbo**, **D. Pappalardo**, **L. Innacolo**, "DESIGN STRATEGY TO MINIMIZE RISE TIME AND SILICON AREA OF CHARGE PUMP WITH ONLY CAPACITIVE LOADS", *ICECS'05*, n. 508, Gammarth, dicembre 2005.

[C148] **G. Palumbo**, **M. Pennisi**, "A COMPARISON BETWEEN AMOLED POLY-TFT DRIVER CIRCUITS", *ICECS'05*, Gammarth, n. 445, dicembre 2005.

[C149] **R. Mita, G. Palumbo, M. Pennisi**, "BEHAVIORAL MODEL OF CHARGE PUMPS WITH VHDL", *ICECS'05*, Gammarth, n. 471, dicembre 2005.

[C150] **R. Mita**, **A. Oliveri**, **G. Palumbo**, **P.G. Fallica**, "NOVEL MODEL FOR SINGLE PHOTON DETECTORS", *ICECS'05*, Gammarth, n. 383, dicembre 2005.

[C151] **W. Aloisi, G. Giustolisi, G. Palumbo**, "ANALYSIS AND OPTIMIZATION OF A LOW-VOLTAGE CLASS-AB OUTPUT STAGE", *ICECS'05*, Gammarth, n. 450, dicembre 2005.

[C152] **G. Giustolisi, G. Palumbo**, "COMPARISON OF METHODS FOR PREDICTING DISTORTION IN CLASS-AB STAGES", *ICECS'05*, Gammarth, n. 439, dicembre 2005.

[C153] **R. Mita, G. Palumbo**, "VHDL-BASED MODELING OF A DC-DC BOOST-CONVERTER", *ICECS'05*, Gammarth, n. 384, dicembre 2005.

[C154] **M. Alioto**, **G. Palumbo**, "DELAY UNCERTAINTY DUE TO SUPPLY VARIATIONS IN STATIC AND DYNAMIC FULL ADDERS", *ISCAS'06*, Island of Kos, pag. 767-770, maggio 2006.

[C155] **A. D. Grasso, G. Palumbo, S. Pennisi**, "ACTIVE REVERSED NESTED MILLER COMPENSATION FOR THREE-STAGE AMPLIFIERS", *ISCAS'06*, Island of Kos, pag. 911-914, maggio 2006.

[C156] **M. Alioto**, **G. Palumbo**, "NANOMETER MCML GATES: MODELS AND DESIGN CONSIDERATIONS", *ISCAS'06*, Island of Kos, pag. 3862-3865, maggio 2006.

[C157] **M. Alioto**, **G. Palumbo, M. Poli**, "EFFICIENT OUTPUT TRANSITION TIME MODELING IN CMOS GATES WITH RAMP/EXPONENTIAL INPUTS", *ISCAS'06*, Island of Kos, pag. 5127-5130, maggio 2006.

[C158] **G. Palumbo, M. Pennisi, S. Pennisi**, "ANALYSIS AND EVALUATION OF HARMONIC DISTORTION IN THE TUNNEL DIODE OSCILLATOR", *ISCAS'06*, Island of Kos, pag. 5135-5138, maggio 2006.

[C159] **M. Alioto, A. D. Grasso, G. Palumbo**, "POWER-DELAY OPTIMIZED DESIGN OF CASCADED ECL GATES", *PRIME 2006*, Otranto, pag. 233-236, giugno 2006.

[C160] **A. D. Grasso, D. Marano, G. Palumbo, S. Pennisi**, "REVERSED DOUBLE POLE-ZERO CANCELLATION FREQUENCY COMPENSATION TECHNIQUE FOR THREE-STAGE AMPLIFIERS", *PRIME 2006*, Otranto, pag. 153-156, giugno 2006.

[C161] **G. Palumbo, M. Pennisi, S. Pennisi**, "ANALYSIS AND EVALUATION OF HARMONIC DISTORTION IN THE HARTLEY OSCILLATOR", NOLTA 2006, Bologna, pag. 643-646, settembre 2006.

[C162] **R. Mita, G. Palumbo, M. Pennisi**, "BEHAVIORAL MODEL OF ANALOG CIRCUITS FOR NONVOLATILE MEMORIES IN VHDL AND VHDL-AMS: ANALYSIS AND COMPARISON", *ICSES'06*, Lodz, pag. 433-436, settembre 2006.

[C163] **O. Cannizzaro, A. D. Grasso, R. Mita, G. Palumbo , S. Pennisi**, "A DESIGN PROCEDURE FOR THREE-STAGE OTAS", *ICSES'06*, Lodz, pag. 571-574, settembre 2006.

[C164] **G. Palumbo, M. Pennisi, S. Pennisi**, "ANALYSIS OF HARMONIC DISTORTION IN THE COLPITTS OSCILLATOR", *ICECS'06*, Nice, pag. 196-199, dicembre 2006.

[C165] **A. D'amico, C. Falconi, G. Giustolisi, G. Palumbo**, "NMOS LOW DROP-OUT REGULATOR WITH DYNAMIC BIASING", *ICECS'06*, Nice, pag. 204-207, dicembre 2006.

[C166] **M. Alioto, G. Palumbo**, "MODELING OF DELAY VARIABILITY DUE TO SUPPLY VARIATIONS IN PASS-TRANSISTOR AND STATIC FULL ADDER", *ICECS'06*, Nice, pag. 518-521, dicembre 2006.

[C167] **G. Di Cataldo, R. Mita, G. Palumbo, M. Poli**, "RC-CHAIN: A SIMPLE MODEL OF DELAY WITH A RAMP INPUT", *ICECS'06*, Nice, pag. 557-560, dicembre 2006.

[C168] **G. Di Cataldo, R. Mita, G. Palumbo, M. Pennisi**, "MODELING OF FEEDBACK ANALOG CIRCUITS WITH VHDL", *ICECS'06*, Nice, pag. 882-885, dicembre 2006.

[C169] **M. Alioto, R. Mita, G. Palumbo**, "DESIGN METHODOLOGY FOR OPTIMIZED MCML FREQUENCY DIVIDERS", *ICECS'06*, Nice, pag. 1308-1311, dicembre 2006.

[C170] **A. D'amico, C. Falconi, G. Giustolisi, G. Palumbo**, "ROSENSTARK-LIKE REPRESENTATION OF FEEDBACK AMPLIFIER RESISTANCE", *ISCAS'07*, New Orleans, pag. 2212-2215, maggio 2007.

[C171] **W. Aloisi, G. Di Cataldo, G. Palumbo, S. Pennisi**, "MILLER COMPENSATION: OPTIMIZATION WITH CURRENT BUFFER/AMPLIFIER", *ISCAS'07*, New Orleans, pag. 2216-2219, maggio 2007.

[C172] **M. Alioto, G. Palumbo**, "HIGH-SPEED/LOW-POWER MIXED FULL ADDER CHAINS: ANALYSIS AND COMPARISON VERSUS TECHNOLOGY", *ISCAS'07*, New Orleans, pag. 2998-3001, maggio 2007.

[C173] **M. Alioto, G. Palumbo**, "DESIGN OF FAST LARGE FAN-IN CMOS MULTIPLEXERS ACCOUNTING FOR INTERCONNECTS", *ISCAS'07*, New Orleans, pag. 3255-3258, maggio 2007.

[C174] **M. Alioto, G. Palumbo**, "DELAY VARIABILITY DUE TO SUPPLY VARIATIONS IN TRANSMISSION-GATE FULL ADDERS", *ISCAS'07*, New Orleans, pag. 3732-3735, maggio 2007.

[C175] **G. Giustolisi, G. Palumbo**, **E. Spitale** "LDO COMPENSATION STRATEGY BASED ON CURRENT BUFFER/AMPLIFIERS", *ECCTD'07*, Siviglia, pag. 116-119, agosto 2007.

[C176] **G. Palumbo, M. Pennisi, S. Pennisi**, "DISTORTION ANALYSIS IN THE FREQUENCY DOMAIN OF A GM-C BIQUAD FILTER", *ECCTD'07*, Siviglia, pag. 212-215, agosto 2007.

[C177] **G. Di Cataldo, G. Palumbo, M. Pennisi, S. Pennisi**, "A GENERALIZATION OF MILLER FORMULAE FOR NONLINEAR FEEDBACK NETWORKS", *ECCTD'07*, Siviglia, pag. 224-227, agosto 2007.

[C178] **O. Cannizzaro, A. D. Grasso, G. Palumbo, S. Pennisi**, "SINGLE MILLER CAPACITOR FREQUENCY OMPENSATION WITH NULLING RESISTOR FOR THREE-STAGE AMPLIFIERS", *ECCTD'07*, Siviglia, pag. 643-646, agosto 2007.

[C179] **R. Mita, G. Palumbo**, "HIGHLY-ACCURATE PROPAGATION DELAY ANALYTICAL MODEL OF AN RC-CIRCUIT WITH A RAMP INPUT", *ECCTD'07*, Siviglia, pag. 667-670, agosto 2007.

[C180] **M. Alioto**, **G. Palumbo, M. Poli**, "ENERGY CONSUMPTION IN RLC TREE CIRCUITS", *ECCTD'07*, Siviglia, pag. 771-774, agosto 2007.

[C181] **M. Alioto, G. Palumbo**, "VERY HIGH-SPEED CARRY COMPUTATION BASED ON MIXED DYNAMIC/TRANSMISSION-GATE FULL ADDERS", *ECCTD'07*, Siviglia, pag. 799-802, agosto 2007.

[C182] **M. Alioto**, **G. Palumbo, M. Poli**, "EFFICIENT AND ACCURATE MODELS OF OUTPUT TRANSITION TIME IN CMOS LOGIC", *ICES'07*, Marrakech, pag. 1264-1267, dicembre 2007.

[C183] **M. Alioto**, **G. Palumbo**, "POWER-DELAY OPTIMIZATION IN MCML TAPERED BUFFERS", *ISCAS'08*, Seattle, pag. 141-144, May 2008.

[C184] **G. Giustolisi, G. Palumbo**, **E. Spitale** "LOW-VOLTAGE LDO COMPENSATION STRATEGY BASED ON CURRENT AMPLIFIERS", *ISCAS'08*, Seattle, pag. 2681-2684, May 2008.

[C185] **M. Alioto**, **G. Palumbo, M. Poli**, "EXPLICIT ENERGY EVALUATION IN RLC TREE CIRCUITS", *ISCAS'08*, Seattle, pag. 2865-2868, May 2008.

[C186] **M. Alioto**, **G. Palumbo, M. Pennisi**, "ANALYSIS OF THE IMPACT OF PROCESS VARIATIONS ON STATIC LOGIC CIRCUITS VERSUS FAN-IN", *ICECS'08*, Malta, pag. 137-140, Settembre 2008.

[C187] **G. Palumbo, M. Pennisi,** "DESIGN DESIGN GUIDELINES FOR HIGH-SPEED TRANSMISSION-GATE LATCHES: ANALYSIS AND COMPARISON", *ICECS'08*, Malta, pag. 145-148, settembre 2008.

[C188] **M. Alioto**, **G. Palumbo, M. Poli**, "ENERGY EVALUATION IN RLC TREE CIRCUITS WITH EXPONENTIAL INPUT", *ICECS'08*, Malta, pag. 578-581, Settembre 2008.

[C189] **G. Palumbo, M. Pennisi, S. Pennisi**, "DESIGN GUIDELINES FOR MINIMUM HARMONIC DISTORTION IN A WIEN OSCILLATOR WITH AUTOMATIC AMPLITUDE CONTROL SYSTEM", *ICECS'08*, Malta, pag. 1127-1130, Settembre 2008.

[C190] **M. Alioto, G. Palumbo, M. Pennisi**, "UNDERSTANDING THE EFFECT OF INTRADIE RANDOM PROCESS VARIATIONS IN NANOMETER DOMINO LOGIC", *PATMOS 2008*, Lisbona (Portugal), Settembre 2008.

[C191] **M. Alioto, M. Poli, G. Palumbo**, "COMPACT AND SIMPLE OUTPUT TRANSITION TIME MODEL IN NANOMETER CMOS GATES", *ICM 2008*, Sharjah (United Arab Emirates), pag. 235-238, dicembre 2008.

[C192] **D. Marano, G. Palumbo, S. Pennisi**, "STEP-RESPONSE OPTIMIZATION TECHNIQUES FOR LOW-POWER THREE-STAGE OPERATIONAL AMPLIFIERS FOR LARGE CAPACITIVE LOAD APPLICATIONS", *ISCAS'09*, Taipei, pag. 1949-1952, maggio 2009.

[C193] **D. Marano, G. Palumbo, S. Pennisi**, "A NEW ADVANCED RNMC TECHNIQUE WITH DUAL-ACTIVE CURRENT AND VOLTAGE BUFFERS FOR LOW-POWER HIGH-LOAD THREE-STAGE AMPLIFIERS", *ISCAS'09*, Taipei, pag. 2725-2728, maggio 2009.

[C194] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "METRICS AND DESIGN CONSIDERATIONS ON THE ENERGY-DELAY TRADEOFF OF DIGITAL CIRCUITS", *ISCAS'09*, Taipei, pag. 3150-3153, maggio 2009.

[C195] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "IMPACT OF CLOCK SLOPE ON ENERGY/DELAY OF PULSED FLIP-FLOPS AND OPTIMUM CLOCK DOMAIN DESIGN", *ECCTD'09*, Antalya, pag. 61-64, agosto 2009.

[C196] **M. Alioto**, **E. Consoli**, **G. Palumbo**, **M. Pennisi**, "CORRECT PROCEDURES TO EVALUATE THE EFFECT OF INTRADIE VARIATIONS ON THE DELAY VARIABILITY OF DIGITAL CIRCUITS", *ECCTD'09*, Antalya, pag. 779-782, agosto 2009.

[C197] **G. Palumbo, M. Pennisi, S. Pennisi**, "EXPLOITATION OF THE PHASOR APPROACH FOR CLOSED-FORM SOLUTION OF THE VAN DER POL'S OSCILLATOR AND SINUSOIDAL OSCILLATORS WITH HIGH-ORDER NONLINEARITY", *ICECS'09*, Hammamet, pag. 155-158, dicembre 2009.

[C198] **D. Marano, G. Palumbo, S. Pennisi**, "A HIGH-SPEED LOW-POWER OUTPUT BUFFER AMPLIFIER FOR LARGE-SIZE LCD APPLICATIONS", *ICECS'09*, Hammamet, pag. 132-135, dicembre 2009.

[C199] **D. Marano, G. Palumbo, S. Pennisi**, "AN EFFICIENT RNM COMPENSATION TOPOLOGY WITH VOLTAGE BUFFER AND NULLING RESISTORS FOR LARGE-CAPACITIVE-LOAD THREE-STAGE OTAS", *ICECS'09*, Hammamet, pag. 128-131, dicembre 2009.

[C200] **M. Alioto, G. Palumbo, M. Pennisi**, "ANALYSIS OF THE IMPACT OF RANDOM PROCESS VARIATIONS IN CMOS TAPERED BUFFERS", *ICECS'09*, Hammamet, pag. 57-60, dicembre 2009.

[C201] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "OPTIMUM CLOCK SLOPE FOR FLIP-FLOPS WITHIN A CLOCK DOMAIN: ANALYSIS AND A CASE STUDY", *ICECS'09*, Hammamet, pag. 275-278, dicembre 2009.

[C202] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "DEPENDENCE OF DIFFERENTIAL FLIP-FLOPS PERFORMANCE ON CLOCK SLOPE AND RELAXATION OF CLOCK NETWORK DESIGN", *ICM'09*, Marrakech, pag. 110-113, dicembre 2009.

[C203] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "CLOCK DISTRIBUTION IN CLOCK DOMAINS WITH DUAL-EDGE-TRIGGERED FLIP-FLOPS TO IMPROVE ENERGY-EFFICIENCY", *ISCAS'10*, Paris, pag. 321-324, maggio 2010.

[C204] **D. Marano, G. Palumbo, S. Pennisi**, "ANALYTICAL FIGURE OF MERIT EVALUATION OF RNMC NETWORKS FOR LOW-POWER THREE-STAGE OTAS", *ISCAS'10*, Paris, pag. 777-780, maggio 2010.

[C205] **D. Marano, G. Palumbo, S. Pennisi**, "A NOVEL LOW-POWER HIGH-SPEED RAIL-TO-RAIL CLASS-B BUFFER AMPLIFIER FOR LCD OUTPUT DRIVERS", *ISCAS'10*, Paris, pag. 2816-2819, maggio 2010.

[C206] **D. Marano, G. Palumbo, S. Pennisi**, "LOW-POWER DUAL-ACTIVE CLASS-AB BUFFER AMPLIFIER WITH SELF-BIASING NETWORK FOR LCD COLUMN DRIVERS", *ISCAS'10*, Paris, pag. 2832-2835, maggio 2010.

[C207] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "PHYSICAL DESIGN AWARE COMPARISON OF FLIP-FLOPS FOR HIGH-SPEED ENERGY-EFFICIENT VLSI CIRCUITS", *PATMOS 2010*, Grenoble, pag. 62-72, settembre 2010.

[C208] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "PHYSICAL DESIGN AWARE SELECTION OF ENERGY-EFFICIENT AND LOW-ENERGY NANOMETER FLIP-FLOPS", *ICM 2010*, Cairo, pag. 60-63, dicembre 2010.

[C209] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "NANOMETER FLIP-FLOPS DESIGN IN THE E-D SPACE", *ICM 2010*, Cairo, pag. 132-135, dicembre 2010.

[C210] **D. Marano, G. Palumbo, S. Pennisi**, "SELF-BIASED DUAL-PATH PUSH-PULL OUTPUT BUFFER AMPLIFIER TOPOLOGY FOR LCD DRIVER APPLICATIONS", *ISCAS'11*, Rio de Janeiro, pag. 29-32, maggio 2011.

[C211] **E. Consoli**, **G. Palumbo**, **M. Pennisi**, "TG MASTER-SLAVE FFS: HIGH-SPEED OPTIMIZATION", *ISCAS'11*, Rio de Janeiro, pag. 554-557, maggio 2011.

[C212] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "DET FF TOPOLOGIES: A DETAILED INVESTIGATION IN THE ENERGY-DELAY-AREA DOMAIN", *ISCAS'11*, Rio de Janeiro, pag. 563-566, May 2011.

[C213] **G. Giustolisi, R. Mita, G. Palumbo**, "VERILOG-A MODELING OF SPAD STATISTICAL PHENOMENA", *ISCAS'11*, Rio de Janeiro, pag. 773-776, maggio 2011.

[C214] **E. Consoli**, **G. Giustolisi**, **G. Palumbo**, "INVERTER TRANSFER CURVES AND SRAM NOISE MARGIN EVALUATION BASED ON AN ULTRA-COMPACT MOS MODEL", *ECCTD'11*, Linköping, pag. 533-536, settembre 2011.

[C215] **E. Consoli**, **G. Giustolisi**, **G. Palumbo**, "An ULTRA-COMPACT MOS MODEL IN NANOMETER TECHNOLOGIES", *ECCTD'11*, Linköping, pag. 541-544, settembre 2011.

[C216] **G. Palumbo**, **M. Pennisi**, **R. G. Carvajal**, "FIGURES OF MERIT FOR CLASS AB INPUT STAGES", *ECCTD'11*, Linköping, pag. 778-781, settembre 2011.

[C217] **E. Consoli**, **M. Alioto**, **G. Palumbo**, **J. Rabay**, "CONDITIONAL PUSH-PULL PULSED LATCHES WITH 726FJ·PS ENERGY-DELAY PRODUCT IN 65NM CMOS", *ISSCC'12*, San Francisco, pp. 482-483, febbraio 2012.

[C218] **M. Alioto**, **G. Palumbo**, **M. Pennisi**, "A SIMPLE KEEPER TOPOLOGY TO REDUCE DELAY VARIATIONS IN NANOMETER DOMINO LOGIC", *ISCAS'12*, Seul, pag. 1576-1579, maggio 2012.

[C219] **E. Consoli**, **G. Giustolisi**, **G. Palumbo**, "LOGIC GATES DYNAMIC MODELING BY MEANS OF AN ULTRA-COMPACT MOS MODEL", *ISCAS'12*, Seul, pag. 3250-3253, maggio 2012.

[C220] **G. Giustolisi, G. Palumbo**, **P. Finocchiaro**, **A. Pappalardo**, "A SIMPLE EXTRACTION PROCEDURE FOR DETERMINING THE ELECTRICAL PARAMETERS IN SILICON PHOTOMULTIPLIERS", *ECCTD'13*, Dresden, September 2013.

[C221] **A. D. Grasso, G. Palumbo, S. Pennisi**, "OPTIMIZED FREQUENCY COMPENSATION TOPOLOGY FOR LOW-POWER THREE-STAGE OTAS", *ECCTD'13*, Dresden, September 2013.

[C222] **M. Alioto**, **E. Consoli**, **G. Palumbo**, "ANALYSIS AND COMPARISON OF VARIATIONS IN DOUBLE EDGE TRIGGERED FLIP-FLOPS", *VARI'14*, Palma Mallorca, pag. 1-6, settembre 2014.

[C223] **G. Giustolisi, A. D. Grasso**, **G. Palumbo**, "MONOLITHIC QUENCHING-AND-RESET CIRCUIT FOR SINGLE-PHOTON AVALANCHE DIODES", *ICECS'14*, Marsiglia, pag. 76-79, dicembre 2014.

[C224] **F. Esparza**, **S. Pennisi**, **G. Palumbo**, **A. Lopez-Martin**, "CMOS CLASS-AB TUNABLE VOLTAGE FEEDBACK CURRENT OPERATIONAL AMPLIFIER", *ICECS'14*, Marseille, pag. 140-143, dicembre 2014.

[C225] **A. D. Grasso, G. Palumbo, S. Pennisi**, **G. Di Cataldo**, "HIGH-PERFORMANCE FREQUENCY COMPENSATION TOPOLOGY FOR FOUR-STAGE OTAS", *ICECS'14*, Marsiglia, pag. 211-214, dicembre 2014.

[C226] **D. Marano**, **G. Bonanno**, **M. Belluso**, **S. Billotta**, **A. Grillo**, **S. Garozzo**, **G. Romeo**, **A. D. Grasso**, **S. Pennisi**, **G. Palumbo**, "A NEW ACCURATE ANALYTICAL EXPRESSION FOR THE SIPM TRANSIENT RESPONSE TO SINGLE PHOTONS", *ICECS'14*, Marsiglia, pag. 514-517, dicembre 2014.

[C227] **M. Alioto**, **G. Palumbo**, **E. Consoli**, "VARIABILITY BUDGET IN PULSED FLIP-FLOPS", *NEWCAS'15*, Grenoble, giugno 2015.

[C228] **D. Marano**, **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, **G. Bonanno**, **S. Garozzo**, **G. Romeo** "A NEW ENHANCED PSPICE IMPLEMENTATION OF THE EQUIVALENT CIRCUIT MODEL OF SIPM DETECTORS", *NEWCAS'15*, Grenoble, giugno 2015.

[C229] **M. Alioto**, **G. Palumbo**, **E. Consoli**, "PVT VARIATIONS IN DIFFERENTIAL FLIP-FLOPS: A COMPARATIVE ANALYSIS", *ECCTD'15*, Trondheim, agosto 2015.

[C230] **G. Di Catalto, A. D. Grasso, G. Palumbo, S. Pennisi**, "SINGLE-MILLER ALL-PASSIVE COMPENSATION NETWORK FOR THREE-STAGE OTAS", *ECCTD'15*, Trondheim, agosto 2015.

[C231] **A. D. Grasso, G. Palumbo, S. Pennisi**, "195-NW 120-DB SUBTHRESHOLD CMOS OTA DRIVING UP TO 200 PF AND OCCUPYING ONLY 4.4·10-3 mm^2", *ICECS'15*, Cairo, pag. 65-68, dicembre 2015.

[C232] **M. Alioto**, **G. Palumbo**, **E. Consoli**, "COMPARATIVE ANALYSIS OF THE ROBUSTNESS OF MASTER-SLAVE FLIP-FLOPS AGAINST VARIATIONS", *ICECS'15*, Cairo, pag. 117-120, dicembre 2015.

[C233] **G. Giustolisi, G. Palumbo**, **P. Finocchiaro**, **A. Pappalardo**, "VERILOG-A MODELING OF SILICON PHOTO-MULTIPLIERS", *ISCAS'16*, Montreal, pag. 1270-1273, maggio 2016.

[C234] **A. D. Grasso, G. Palumbo, S. Pennisi**, "A 0.003-MM2 50-MW THREE-STAGE AMPLIFIER DRIVING 10-NF WITH 2.7-MHZ GBW", *ICECS'16*, Monte Carlo, pag. 728-731, dicembre 2016.

[C235] **G. Giustolisi, G. Palumbo**, "SETTLING-TIME ORIENTED OTA DESIGN THROUGH THE APPROXIMATION OF THE IDEAL DELAY", *ISCAS'18*, Firenze, maggio 2018.

[C236] **G. Giustolisi, G. Palumbo**, "NON-INVERTING CLASS-AB CMOS OUTPUT STAGE FOR DRIVING HIGH-CAPACITIVE LOADS", *ISCAS'18*, Firenze, maggio 2018.

[C237] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, **D. Marano**, (*invited paper*), "THREE-STAGE SINGLE-MILLER CMOS OTA DRIVING 10 NF WITH 1.46-MHZ GBW", *ICICDT 2018*, Otranto, pag. 37-40, giugno 2018.

[C238] **G. Scotti**, **D. Bellizia**, **A. Trifiletti**, **G. Palumbo**, "A NOVEL VERY LOW VOLTAGE TOPOLOGY TO IMPLEMENT MCML XOR GATES", *PRIME 2018*, Praga, pag. 157-160, luglio 2018.

[C239] **A. D. Grasso**, **G. Palumbo**, **S. Pennisi**, "SWITCHED-CAPACITOR POWER MANAGER IC FOR AUTONOMOUS IOT NODE", *ISICAS 2018*, Taormina, Settembre 2018; (proc. in IEEE Trans. On CAS part II).

[C240] **G. Giustolisi, G. Palumbo**, "DESIGN OF CMOS OTAS WITH SETTLING-TIME CONSTRAINTS", *ICECS 2018*, Bordeaux, pag. 505-508, dicembre 2018.

[C241] **A. Ballo**, **G. Giustolisi**, **A. D. Grasso**, **G. Palumbo**, "A CLOCK BOOSTED CHARGE PUMP WITH REDUCED RISE TIME", *ICECS 2018*, Bordeaux, pag. 605-608, dicembre 2018.

[C242] **G. Scotti**, **A. Trifiletti**, **G. Palumbo**, "A NOVEL 0.6V MCML D-LATCH TOPOLOGY EXPLOITING DYNAMIC BODY BIAS THRESHOLD LOWERING", *ICECS 2018*, Bordeaux, pag. 233-236, dicembre 2018.

[C243] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "DICKSON VOLTAGE MULTIPLIER: BEYOND THE SWITCHING LIMITS", *ICECCE 2020*, Istanbul, giugno 2020.

[C244] **A. Ballo**, **M. Bottaro**, **A. D. Grasso**, **G. Palumbo**, "A GENERAL BEHAVIORAL MODEL OF CHARGE PUMP DC-DC CONVERTERS", *ICECCE 2020*, Istanbul, giugno 2020.

[C245] **F. Centurelli**, **G. Scotti**, **A. Trifiletti**, **G. Palumbo**, "A LOW-VOLTAGE HIGH-PERFORMANCE FREQUENCY DIVIDER EXPLOITING FOLDED MCML", *ISCAS'21*, Daegu, maggio 2021.

[C246] **G. Giustolisi, G. Palumbo**, "DESIGN OF THREE-STAGE OTAS FROM SETTLING-TIME AND SLEW-RATE CONSTRAINTS", *ISCAS'21*, Daegu, maggio 2021.

[C247] **A. Ballo**, **M. Bottaro**, **A. D. Grasso**, **G. Palumbo**, "COMPARISON OF THE WIDE-FREQUENCY RANGE DYNAMIC BEHAVIOR OF THE DICKSON AND

COCKCROFT-WALTON VOLTAGE MULTIPLIERS", *MWSCAS 2021*, pag. 348-351, agosto 2021.

[C248] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "FULLY ON-CHIP CHARGE PUMP-BASED BOOST CONVERTER IN 65-NM CMOS FOR SINGLE SOLAR CELL POWERED IC", *ISCAS 2023*, Monterey, maggio 2023.

[C249] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "AN ENERGY-EFFICIENT DESIGN STRATEGY FOR DICKSON CHARGE PUMPS WITH LINEAR DISTRIBUTED CAPACITANCE", *NEWCAS 2023*, Edinburgh, giugno 2023.

[C250] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "TRIPLE CLOCK BOOSTED VOLTAGE MULTIPLIER: A DESIGN STRATEGY TO HEAVILY REDUCE RISE TIME", *NEWCAS 2023*, Edinburgh, giugno 2023.

[C251] **J. Beloso-Legarra**, **A. J. Lopez-Martin**, **C. A. De La Cruz**, **A. D. Grasso**, **G. Palumbo**, , **S. Pennisi**, "GBW OPTIMIZATION IN TWO-STAGE OTAS OPERATING IN WEAK INVERSION", *Conference on Design of Circuits and Integrated Systems (DCIS) 2023*, Málaga, novembre 2023.

[C252] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "THE SELF-OSCILLATING DICKSON CHARGE PUMP", *Conference on Design of Circuits and Integrated Systems (DCIS) 2024*, Málaga, pag. 69-74, novembre 2024.

[C253] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "THE CHARGE PUMP AS A SIGNAL AMPLIFIER: ENABLING SMALL-SIGNAL GAIN BOOSTING", *ISCAS'25*, Londra, maggio 2025.

[C254] **C. Caruso**, **A. D. Grasso**, **F. N. Guerrero**, **G. Palumbo**, "DOUBLE DIFFERENTIAL AMPLIFIER BY MEANS OF A MOS CCII FOR ACTIVE ELECTRODES", *PRIME 2025*, Taormina, settembre 2025.

[C255] **C. Caruso**, **E. Consoli**, **G. Palumbo**, **G. Patti**, "DETAILED MODELING OF A PFM BUCK-BOOST CONVERTER SUITABLE FOR LOW POWER APPLICATIONS", *PRIME 2025*, Taormina, settembre 2025.

[C256] **A. Manno**, **G. Scotti**, **G. Palumbo**, "A NOVEL ULTRA-LOW-VOLTAGE PSEUDO-DYNAMIC VOLTAGE COMPARATOR BASED ON OAI STANDARD-CELLS", *PRIME 2025*, Taormina, settembre 2025.

[C257] **A. Manno**, **G. Scotti**, **G. Palumbo**, "A TRIPLE LATCHED ULTRA-LOW-VOLTAGE RAIL-TO-RAIL ICMR STANDARD-CELL BASED COMPARATOR", *PRIME 2025*, Taormina, settembre 2025.

[C258] **A. Manno**, **G. Scotti**, **G. Palumbo**, "A FULLY-SYNTHESIZABLE AOI-BASED PSEUDO-DYNAMIC VOLTAGE COMPARATOR" *ICECS'25*, Marrakech, novembre 2025.

[C259] **A. Ballo**, **A. D. Grasso**, **G. Palumbo**, "AN AREA-EFFICIENT DESIGN STRATEGY FOR DICKSON CHARGE PUMPS ON FLEXIBLE SUBSTRATE", *ICECS'25*, Marrakech, novembre 2025.

[C260] **C. Caruso**, **A. D. Grasso**, **G. Palumbo**, "FIVE SEMG ACTIVE ELECTRODES BY MEANS OF A COMPOSITE CCII", *SSD'26* (International Multi-Conference on Systems, Signals and Devices), Catania march 2026.

[C261] **A. Manno**, **G. Palumbo**, "ADVANTAGES OF KEEPER SPLITTING IN DOMINO LOGIC", *PRIME 2026*, Berlino, settembre 2026.

[C262] **C. Caruso**, **A. D. Grasso**, **G. Palumbo**, "THREE SEMG ACTIVE ELECTRODES BASED ON THE COMPOSITE CCII CURRENT-MODE APPROACH", *PRIME 2026*, Berlino, settembre 2026.

Brevetti

[P1] **F. Pulvirenti**, **G. Bontempo, G. Palumbo**, "Sensing Circuit of Digital signal for a System with an ASI Field Bus", *European Patent*, no. 98830672.6, issued 19-01-1999; *United States Patent*, no. 6,690,755, issued 10-02-2004.

[P2] **S. Nicosia**, **G. Pagano**, **L. De Ambroggi, G. Palumbo**, "Data Output Buffer with Precharge", *United States Patent*, no. 6,292,405, issued 18-09-2001.

[P3] **D. Pappalardo**, **M. Gaibotti**, **G. Palumbo** , **A. Conte** , **S. Lo Giudice**, "Variable Stage Charge Pump", *United States Patent*, n. 6,927,441, issued 07-11-2002.

[P4] **D. Pappalardo**, **C. Ucciardello**, **G. Palumbo**, "Single-stage and modular multi-stage clock-booster", *United States Patent*, 7,095,268, issued 11-01-2005.

[P5] **D. Pappalardo**, **C. Ucciardello**, **G. Palumbo**, "Charge-pump with improved biasing of the body regions of the pass-transistors", *United States Patent*, 7,224,206, issued 15-09-2005.

[P6] **C. Ucciardello**, **R. Di Mauro**, **D. Pappalardo**, **F. Sorrentino**, **G. Maganuco**, **G. Palumbo**, "Multi-stage charge pump voltage generator with protection of the devices of the charge pump", *United States Patent*, Pub. no. 0200399 A1 issued 15-09-2005.

Pubblicazioni su riviste nazionali

[I1] **G. Di Cataldo, G. Nunnari, G. Palumbo**, "SISTEMA PER LA PROGETTAZIONE DI CIRCUITI ELETTRONICI", *Elettronica Oggi*, n.79, pag. 135-143, aprile 1989.

[I2] **G. Palumbo**, "RIFLESSIONI PER UNA DIVERSA ARCHITETTURA DI CAD ESPERTO PER LA SINTESI DEI CIRCUITI ELETTRONICI", *Tecnica e Ricostruzione*, n. 3, pag. 8-13, maggio-luglio 1989.

[I3] **G. Di Cataldo, G. Palumbo, G. Pierro**, "CALCOLO PARALLELO: NUOVI SVILUPPI PER LE TECNICHE DI FILTRAGGIO", *Automazione e Strumentazione - Elettronica Industriale*, n.9, pag. 191-193, settembre 1989.

[I4] **G. Palumbo**, "UN CAD ESPERTO PER LA SINTESI DEI CIRCUITI", *Automazione e Strumentazione - Elettronica Industriale*, n.12, pag. 103-107, dicembre 1989.

[I5] **G. Di Cataldo, G. Palumbo**, "PROGETTAZIONE CIRCUITALE AUTOMATICA E SISTEMI ESPERTI", *Pixel*, n.7/8, pag. 35-39, 1990.

[I6] **G. Di Cataldo, F. Imme', G. Palumbo**, "LA RETE DI HOPFIELD E LA CONVERSIONE A/D", *Automazione e Strumentazione - Elettronica Industriale*, n.1, pag. 153-157, gennaio 1991.

[I7] **G. Palumbo**, "SWITCHED CURRENT: NUOVE PROSPETTIVE PER LA REALIZZAZIONE DI FILTRI INTEGRATI ANALOGICI", *Automazione e Strumentazione - Elettronica Industriale*, n.3, pag. 125-130, marzo 1992.

[I8] **G. Di Cataldo, G. Palumbo, S. Pennisi**, "SVILUPPI NELL'ELETTRONICA ANALOGICA: LA SOLUZIONE CURRENT CONVEYOR", *Automazione e Strumentazione - Elettronica Industriale*, n.5, pag. 115-122, maggio 1993.

[I9] **G. Palumbo**, "ANALISI IN FREQUENZA DEGLI SPECCHI DI CORRENTE MOS" *Automazione e Strumentazione - Elettronica Industriale*, n.1, pag. 35-41, gennaio 1995.

[I10] **G. Giustolisi, G. Palmisano, G. Palumbo**, "INTRODUZIONE AI CONVERTITORI A/D DEL TIPO ΣΔ", *Automazione e Strumentazione - Elettronica Industriale*, No. 5, pag. 125-131, maggio 1996.

[I11] **M. Alioto, G. Palumbo, C. Strano**, "CIRCUITI ADIABATICI: PER MINIMIZZARE LA DISSIPAZIONE DI POTENZA", *Automazione e Strumentazione - Elettronica Industriale*, No. 3, pag. 49-54, marzo 1998.

[I12] **M. Alioto, G. Palumbo**, "FAMIGLIE LOGICHE BIPOLARI ECL E CML", *Automazione e Strumentazione - Elettronica Industriale*, No. 9, pag. 49-56, ottobre 1998.

[I13] **G. Cosentino , D. Mita, G. Palumbo**, "IL PROTOCOLLO PER COMUNICAZIONI AD INFRAROSSI", *Automazione e Strumentazione - Elettronica Industriale*, No. 4, pag. 87-92, aprile 1999.

[I14] **M. Alioto, D. Mita, G. Palumbo**, "MEMORIE FERROELETTRICHE ", *Automazione e Strumentazione - Elettronica Industriale*, No. 5, pag. 55-58, maggio 2002.

Dispense

[D1] **G. Palumbo**, "INTRODUZIONE AI FILTRI ANALOGICI TEMPO-DISCRETI", *Edizioni Cooperativa La Traccia*, 1991.

Recensioni di libri

[L1] **G. Palumbo**, "Voltage References: from diodes to precision high-order bandgap circuits" (di G. A. Rincon-Mora), *IEEE Circuits & Devices Magazine*, pag. 45, settembre 2002.

[L2] **G. Palumbo**, "High Speed CMOS Circuits for Optical Receiver" (di J. Savoj e B. Razavi), *IEEE Circuits & Devices Magazine*, pag. 53, marzo 2003.

[L3] **G. Palumbo**, "Commercial Wireless Circuits and Components Handbook " (Ed. M. Golio), *IEEE Circuits & Devices Magazine*, pag. 31-32, luglio/agosto 2004.

[L4] **G. Palumbo**, "Modular Low-Power, High-Speed CMOS Analog-to-Digital Converter for Embedded Systems" (di Keh-La Lin, A. Kemna, B. Hosticka), *IEEE Circuits & Devices Magazine*, pag. 52, maggio/giugno 2005.

[L5] **G. Palumbo**, "Design of Low-Voltage CMOS Switched-OpAmp Switched-Capacitor Systems" (di V. Cheung, H. Luong), *IEEE Circuits & Devices Magazine*, pag. 36-37, luglio/agosto 2005.

[L6] **G. Palumbo**, "ULSI Semiconductor Technology Atlas" (di Chih-Hang Tung, George T.T. Sheng, Chih-Yuan Lu), *IEEE Circuits & Devices Magazine*, pag. 25, settembre/ottobre 2005.

[L7] **G. Palumbo**, "The Design of CMOS Radio-Frequency Integrated Circuits, 2° ed." (di Thomas Lee), *IEEE Circuits & Devices Magazine*, pag. 53, novembre/dicembre 2005.

[L7bis] **G. Palumbo**, "The Design of CMOS Radio-Frequency Integrated Circuits, 2° ed." (di T. Lee), *IEEE Circuits & Devices Magazine*, pag. 36, luglio/agosto 2006.

[L8] **G. Palumbo**, "Logic Design of Nano Ics" (di S. N. Yanushkevich, V. P. Shmerko e S. E. Lyshevski), *IEEE Circuits & Devices Magazine*, pag. 38, gennaio/febbraio 2006.

[L9] **G. Palumbo**, "Understanding Delta-Sigma Data Converters" (di R. Schreier, G. Temes), *IEEE Circuits & Devices Magazine*, pag. 31-32, luglio/agosto 2006.

[L10] **G. Palumbo**, "Design Throught Verilog HDL" (di T. R. Padmanabhan, B. Bala Tripura Sundari), *IEEE Circuits & Devices Magazine*, pag. 35, luglio/agosto 2006.

[L11] **G. Palumbo**, "Silicon Nanoelectronics" (Ed. Shunri Oda, David Ferry), *IEEE Circuits & Devices Magazine*, pag. 59, settembre/ottobre 2006.

[L12] **G. Palumbo**, "Digital Logic and Microcomputer Design, 5° ed." (di M. Rafiquzzaman), *IEEE Circuits & Devices Magazine*, pag. 87, novembre/dicembre 2006.

[L13] **G. Palumbo**, "Synthesis of Arithmetic Circuits" (di J. Deschamps, G. J. A. Bioul, G. D. Sutter), *IEEE Circuits & Devices Magazine*, pag. 88-89, novembre/dicembre 2006.

[L14] **G. Palumbo**, "Noise in High-Frequency Circuits and Oscillators " (di Burkhard Schiek, Ilona Rolfes, Heins-Jurgen Siweris), *IEEE Circuits & Devices Magazine*, pag. 90, novembre/dicembre 2006.

Resoconti e relazioni a Riunioni di gruppi Nazionali

[m1] **G. Di Cataldo, G. Nunnari, G. Palumbo**, "NUOVI RISULTATI E PROSPETTIVE NELLA SINTESI CAD DI CIRCUITI" [1m], *Riunione Annuale Congiunta dei Gruppi di Elettrotecnica e di Magnetofluidodinamica e Gas Ionizzati*, S. Margherita Ligure, 1989.

[m2] **G. Di Cataldo, G. Nunnari, G. Palumbo, S. Sueri**, "NUOVI SVILUPPI E PROSPETTIVE NELLA PROGETTAZIONE DI CIRCUITI INTEGRATI", *Riunione Annuale CCTE 1989*, Maratea, 1989.

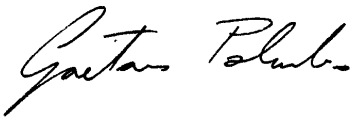
[m3] **G. Palumbo**, "LA CONVERSIONE A/D EFFETTUTA CON TRIGGER DI SCHMITT", *Riunione Annuale CCTE 1990 congiunta con VI Riunione Annuale dei Ricercatori del Gruppo di Elettrotecnica*, Baveno, 1990.

[m4] **G. Di Cataldo, G. Palumbo**, "APPROCCIO AL CONVERTITTORE A/D SEMI-FLASH", *Riunione Annuale CCTE 1992*, Taormina, 1992.

[m5] **G. Di Cataldo, G. Palumbo**, "MOLTIPLICATORI DI TENSIONE DI DICKSON: ANALISI DINAMICA PER UNA PROGETTAZIONE OTTIMIZATA", *Riunione Annuale CCTE 1993*, Venezia, 1993.

[m6] **S. Pennisi, G. Di Cataldo, G. Palmisano, G. Palumbo**, "BLOCCHI ANALOGICI PER PROCESSAMENTO DI SEGNALE CON APPROCCIO IN CORRENTE", *Riunione Annuale CCTE 1994*, Ravello, 1994.

[m7] **G. Giustolisi**, **G. Palmisano, G. Palumbo – R. Salerno**, "CMOS LOW-VOLTAGE OPERATIONAL AMPLIFIERS", *Riunione Annuale GE 1999*, Alghero, 1999.



Catania, li 1 giugno 2026