

INFORMAZIONI PERSONALI

Mineo Andrea

DICHIARAZIONI PERSONALI

Da sempre appassionato di dispositivi elettronici, ho seguito un percorso che dagli studi di scuole superiori, fino al conseguimento del titolo di Dottore di Ricerca (PhD), mi ha consentito di fare numerose esperienze nei più svariati ambiti dell'ingegneria dell'informazione.

In particolare, per quanto riguarda la progettazione digitale, mi sono occupato di quest'ultima, padroneggiando ogni livello di astrazione: dal livello algoritmico (linguaggi HDL) fino al livello fisico (Place & Route e generazione GDS).

Un altro ambito in cui ho fatto esperienza, è quello per le radiofrequenze. In particolare, mi occupo di reti per dispositivi IoT di ultima generazione, curando sia aspetti software, mediante sviluppo di firmware per microcontrollori della famiglia ARM Cortex Mx, sia di aspetti Hardware, quali la progettazione di Antenne mediante tool di CAD che rappresentano lo stato dell'arte nel settore.

Sono molto attivo nell'ambito della ricerca per quel che riguarda le reti di interconnessione on chip. In quest'ambito, ho potuto sviluppare nuove soluzioni pubblicate su prestigiose riviste internazionali sponsorizzate principalmente da IEEE e ACM.

ESPERIENZA
PROFESSIONALE
04/03/2019–01/10/2020

Docente universitario a contratto

Università degli Studi di Catania – DIEEI

Docente del corso di "Calcolatori Elettronici" per l'AA 2019-2020 presso il Dipartimento di Ingegneria Elettrica, Elettronica ed Informatica (DIEEI). Corso di Laurea in Ingegneria Elettronica (Triennale).

01/10/2020 - Oggi

Senior Digital IC Designer

STMicroelectronics (Italia)

Mi occupo di sistemi digitali, con particolare enfasi verso la progettazione di processori con Instruction Set Architecture di tipo RISC-V, per applicazioni DSP

02/12/2017–01/10/2020

RF Application Developer

STMicroelectronics (Italia)

Mi sono occupato di applicazioni per le radiofrequenze. In particolare, per famiglie di prodotti Bluetooth Low Energy (BLE) e Sub-GHZ sono responsabile per le seguenti attività a supporto dello sviluppo di demo board applicative:

- Sviluppo di librerie software per applicazioni General Purpose nell'ambito di dispositivi Sub-GHz. Tali librerie sono sviluppate per microcontrollori con architetture ARM Cortex M0, M0+, M3 ed M4
- Sviluppo di soluzioni software e hardware per applicazioni IoT nell'ambito delle Low Power Wide Area Network (LPWAN). In particolare, sono specialista di reti Sigfox di cui curo il processo di design software/hardware e di certifica di nuovi prodotti
- Test di livello fisico mediante script automatici utilizzando linguaggi SCPI
- Definizioni di nuove architetture radio per i dispositivi RF di nuova generazione sviluppati da STM
- Progettazione di Antenne a 2.4 GHz e per le frequenze 433-868 MHz
- Progettazioni di circuiti alle microonde per reti di matching e di filtraggio delle componenti spurie
- Test Fisici per lo standard BLE 5.1

01/12/2014–01/12/2017 **Hardware Mixed Signals ASICs Designer**
STMicroelectronics, Catania (Italia)

Per tre anni mi sono occupato della progettazione di ASIC (Application Specific Integrated Circuit) per famiglie di prodotti MEMS. In particolare, per sensori di tipo ambientale, come sensori di pressione, umidità e gas mi sono occupato di progettare controllori e DSP. A tal proposito, le principali attività svolte erano:

- Coding di blocchi mediante linguaggi HDL (VHDL/Verilog/System C)
- Sintesi logica mediante i principali tool di silicon design (Synopsys Design Compiler)
- Place & Route
- Parasitics extraction and Signal Integrity
- Timing and Power Analysis
- GDS Extraction
- FPGA prototyping

10/06/2013–10/01/2014 **Incarico di collaborazione esterna**

Università degli Studi di Catania - Dipartimento di Ingegneria Elettrica, Elettronica ed Informatica, Catania (Italia)

Progetto "RAMMAR", sistema cibernetico programmabile d'interfacce a interazione verbale - POR FESR 2007/2013 linea d'intervento 4.1.1.1 D.R.S. n. 3411/ del 4/8/2011, CUP G63F11000530004

Progettazione e sviluppo di un sottosistema ibrido hardware/software integrabile in uno Spoken Dialog System per l'ottimizzazione delle condizioni ambientali al contorno.

20/03/2013–05/05/2013 **Collaboratore occasionale finalizzata alla ricerca**

Università degli Studi di Catania - Dipartimento di Ingegneria Elettrica, Elettronica ed Informatica, Catania (Italia)

Definizione e sviluppo di un componente hardware-software basato su tecnologia FPGA a supporto di un modulo di Automatic Speech Recognition nell'ambito di uno Spoken Dialog System.

01/09/2012–30/01/2013 **Tirocinante**

Università degli Studi di Catania - Dipartimento di Ingegneria Elettrica, Elettronica ed Informatica, Catania (Italia)

Progettazione HDL di codec per l'implementazione di tecniche di data-encoding per Network on Chip. Sintesi Logica e Power Analysis.

01/09/2009–11/01/2010 **Tirocinante**

Università degli Studi di Catania - Dipartimento di Ingegneria Elettrica, Elettronica ed Informatica, Catania (Italia)

Progettazione e caratterizzazione di un router per Network-on-Chip mediante strumenti CAD/EDA.

ISTRUZIONE E FORMAZIONE

01/09/2013–06/03/2017 **Dottorato di Ricerca in Ingegneria dei Sistemi, Energetica, Informatica e delle Telecomunicazioni (internazionale) XXIX Ciclo**
Università degli Studi di Catania, Catania (Italia)

Tecnologie emergenti nell'ambito dei sistemi di interconnessione on-chip, Network-on-Chip, Wireless on Chip communications, Probabilistic CMOS, Sistemi VLSI, Low Power Design, Embedded System Design.

Titolo della tesi: Low Power Techniques for Future Network-On-Chip Architectures

Advisor: Prof. Vincenzo Catania

01/10/2011–31/01/2013 **Laurea Magistrale in Ingegneria Elettronica (secondo livello)**

Università degli Studi di Catania, Catania (Italia)

Titolo della Tesi: *Tecniche di Data Encoding per Network-on-Chip.*

Voto di Laurea: 110/110 e Lode.

Relatore della Tesi: Prof. Vincenzo Catania.

10/11/2005–18/01/2010 **Laurea in Ingegneria Elettronica (primo livello)**

Università degli Studi di Catania, Catania (Italia)

Titolo della Tesi: *Definizione e Sviluppo di Modelli di Stima del Consumo di Potenza per Network on Chip.*

Voto di Laurea: 104/110.

Relatore della Tesi: Prof. Vincenzo Catania.

01/04/2000–12/07/2005 **Diploma di Perito Industriale Capotecnico; Specializzazione Elettronica e Telecomunicazioni.**

I.T.I.S. "Galileo Ferraris", San Giovanni La Punta (CT) (Italia)

Voto di diploma: 94/100

COMPETENZE PERSONALI

Lingua madre italiano

Lingue straniere

inglese

COMPRESIONE		PARLATO		PRODUZIONE SCRITTA
Ascolto	Lettura	Interazione	Produzione orale	
B2	C1	B2	B2	C1

Livelli: A1 e A2: Utente base - B1 e B2: Utente autonomo - C1 e C2: Utente avanzato
 Quadro Comune Europeo di Riferimento delle Lingue

Competenze professionali

- Progettazione di blocchi circuitali col supporto di strumenti CAD/EDA.
- Coding di blocchi digitali mediante linguaggi (HDL) e implementazione con strumenti di silicon design (Strumenti di sintesi logica e di P&R)
- Programmazione di micro controllori delle famiglie STM, PICMicro e Atmel.
- Sviluppo di prototipi su tecnologia **FPGA**
- Prototipazione rapida di antenne PCB con simulatori agli elementi finiti come **AnsoftHFSS** e **ADS**
- Utilizzo della seguente **strumentazione**: Oscilloscopio, generatore di funzioni, alimentatore da banco, multimetro, analizzatore di spettro, generatore di segnali RF.
- Sviluppo di prototipi mediante schede **Arduino**

Competenze digitali

AUTOVALUTAZIONE				
Elaborazione delle informazioni	Comunicazione	Creazione di Contenuti	Sicurezza	Risoluzione di problemi
Utente avanzato	Utente avanzato	Utente avanzato	Utente avanzato	Utente avanzato

Competenze digitali - Scheda per l'autovalutazione

- Software di silicon design: HSPICE, Synopsys Design Compiler, Cadence Virtuoso, Xilinx ISE, Cadence Innovus, Synopsys Prime Time, Synopsys ICC.

- CAD elementi finiti: Ansoft HFSS, Ansoft Designer, ADS Momentum.
- Toolchain di sviluppo firmware IAR, Kile.
- Software di controllo versione: Subversion, Git.
- Linguaggi di programmazione: C, C++, Java, Pascal, Python, Visual Basic.
- Linguaggi di markup: Latex, HTML.
- Linguaggi di scripting: MATLAB/Octave.
- Sistemi operativi: Windows, MacOSX e Linux nelle seguenti distribuzioni: Ubuntu, Debian, Slackware e Redhat.
- Conoscenza del linguaggio SQL.

Altre competenze Durante il tempo libero pratico l'attività di Radioamatore. Sono possessore della relativa patente e autorizzazione, conseguita presso il Ministero per le Telecomunicazioni.

Patente di guida B1

ULTERIORI INFORMAZIONI

Pubblicazioni

- Andrea Mineo, Maurizio Palesi, Davide Patti, Vincenzo Catania. "Cloud-Based Energy Efficient Scheme for Sigfox Monarch as Asset Tracking Service". 2020 International Conference on Omni-layer Intelligent Systems (COINS2020).
- Giuseppe Ascia Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Maurizio Palesi, Davide Patti. "Improving Inference Latency and Energy of DNNs through Wireless Enabled Multi-Chip-Module-based Architectures and Model Parameters Compression" 2020 14th IEEE/ACM International Symposium on Networks-on-Chip (NOCS), 1-6
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Maurizio Palesi, Davide Patti "Improving energy efficiency in wireless network-on-chip architectures". ACM Journal on Emerging Technologies in Computing Systems (JETC). Vol14, No 1, pages 1-24, 3-11-2017.
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Maurizio Palesi and Davide Patti. "Cycle-Accurate Network on Chip Simulation with Noxim". ACM Transaction on Modeling and Computer Simulation. 9, 4, Article 39 (March 2015).
- Andrea Mineo, Maurizio Palesi, Giuseppe Ascia, Partha Pratim Pande and Vincenzo Catania. "On-Chip Communication Energy Reduction through Reliability Aware Adaptive Voltage Swing Scaling". To appear in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, (TCAD).
- Andrea Mineo, Maurizio Palesi, Giuseppe Ascia and Vincenzo Catania. "Exploiting antenna directivity in wireless NoC architectures". Microprocessors and Microsystems (MICPRO), 46, pages 59-66, 2016.
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Maurizio Palesi and Davide Patti. "Energy Efficient Transceiver in Wireless Network on Chip Architectures". Design, Automation & Test in Europe Conference (DATE 2016), 14-18 March 2016, Dresden, Germany.
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Maurizio Palesi and Davide Patti. "Improving the Energy Efficiency of Wireless Network on Chip Architectures through Online Selective Buffers and Receivers Shutdown". The 13th Annual IEEE Consumer Communications & Networking Conference (CCNC2016), 9-12 January 2016, Las Vegas, USA.
- Mineo, M. Palesi, G. Ascia, V. Catania. Runtime Tunable Transmitting Power Technique in mm-Wave WiNoC Architectures. Accepted for publication in IEEE Transactions on Very Large Scale Integration Systems, 2015.
- Mohd Shahrizal Rusli, Andrea Mineo, Maurizio Palesi, Giuseppe Ascia, Vincenzo Catania, Ooi Chia Yee, M. N. Marsono. "A Closed Loop Power Manager for Transmission power Control in Wireless Network-on-Chip Architectures", Jurnal Teknologi, www.jurnalteknologi.utm.my, June 2015.
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Maurizio Palesi and Davide Patti. Noxim: An Open, Extensible and Cycle-accurate Network on Chip Simulator. 26th IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP15), 17-19 July, Toronto, Canada.
- Andrea Mineo, Maurizio Palesi, Giuseppe Ascia, Vincenzo Catania. Exploiting Antenna Directivity in Wireless NoC Architectures, Design Automation Conference (DAC 2015), San Francisco, CA, June

7-11, 2015 - **Accepted as poster publication.**

- Maurizio Palesi, Mario Collotta, Andrea Mineo and Vincenzo Catania. An Efficient Radio Access Control Mechanism for Wireless Network-On-Chip Architectures. *Journal of Low Power Electronics and Applications* - ISSN 2079-9268, www.mdpi.com/journal/jlpea. 27/11/2015, 5, 38-56
- Andrea Mineo, Mohd Shahrizal Rusli, Maurizio Palesi, Giuseppe Ascia, Vincenzo Catania and M. N. Marsono. "A Closed Loop Transmitting Power Self-Calibration Scheme for Energy Efficient WiNoC Architectures" Design, Automation & Test in Europe Conference (DATE 2015), 9-13 March 2015, Grenoble, France.
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Davide Patti. Distributed Topology Discovery in Self-Assembled Nano Network-On-Chip. *Computers & Electrical Engineering*, Elsevier, Volume 40, Issue 8, November 2014, Pages 292–306 .
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Davide Patti. A Low-resource and Scalable Strategy for Segment Partitioning of Many-core Nano Networks. Second ACM International Workshop on Manycore Embedded System (MES 14), In conjunction with the 41st International Symposium on Computer Architecture (ISCA 2014), June 14-18 Minneapolis, USA.
- Mohd Shahrizal Rusli, Andrea Mineo, Maurizio Palesi, Vincenzo Catania and M.N. Morsono. A Closed Loop Control based Power Manager for WiNoC Architectures. Second ACM International Workshop on Manycore Embedded System (MES 14), In conjunction with the 41st International Symposium on Computer Architecture (ISCA 2014), June 14-18 Minneapolis, USA.
- Davide Patti, Andrea Mineo, Salvatore Monteleone, and Vincenzo Catania Topology Discovery in Deadlock Free Self-Assembled DNA Networks. 3rd Computer Science On-line Conference 2014, CSOC14.
- Andrea Mineo, Maurizio Palesi, Giuseppe Ascia, Vincenzo Catania. An Adaptive Transmitting Power Technique for Energy Efficient mm-Wave Wireless NoCs. Design, Automation & Test in Europe Conference (DATE 2014), 24-28 March 2014, Dresden, Germany.
- Vincenzo Catania, Andrea Mineo, Salvatore Monteleone, Davide Patti. A First Effort for a Distributed Segment-based Approach on Self-Assembled Nano Networks. 6th International Workshop on Network on Chip Architectures (NoCArc 2013). To be held in conjunction with the 46th Annual IEEE/ACM International Symposium on Microarchitecture, December 7 (or 8), 2013, Davis, California.
- Marina Masi, Andrea Mineo, Maurizio Palesi, Giuseppe Ascia, Vincenzo Catania. Low Energy Mapping Techniques under Reliability and Bandwidth Constraints. 1th IEEE/IFIP International Conference on Embedded and Ubiquitous Computing (EUC 2013), Zhangjiajie, China, November 13-15, 2013.
- Andrea Mineo, Maurizio Palesi, Giuseppe Ascia, Vincenzo Catania. Runtime Online Links Voltage Scaling for Low Energy Networks on Chip. EUROMICRO DSD/SEAA 2013, Santander, Spain, September 4-6, 2013.
- Andrea Mineo, Maurizio Palesi, Giuseppe Ascia, Vincenzo Catania. NoC Links Energy Reduction through Link Voltage Scaling. 13th International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS XIII), Samos, Greece, July 15–18, 2013.